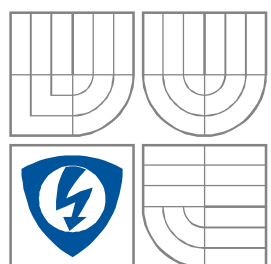


**VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ**  
BRNO UNIVERSITY OF TECHNOLOGY



**FAKULTA ELEKTROTECHNIKY  
A KOMUNIKAČNÍCH TECHNOLOGIÍ  
ÚSTAV RADIOELEKTRONIKY**

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION  
DEPARTMENT OF RADIO ELECTRONICS

**PŘÍMÝ ČÍSLICOVÝ FREKVENČNÍ SYNTÉZÁTOR**  
DIRECT DIGITAL FREQUENCY SYNTHESIZER

**DIPLOMOVÁ PRÁCE**  
MASTER'S THESIS

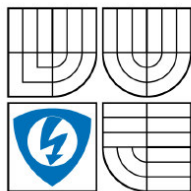
**AUTOR PRÁCE**  
AUTHOR

Bc. Josef Svoboda

**VEDOUCÍ PRÁCE**  
SUPERVISOR

prof. Ing. Miroslav Kasal, CSc.

BRNO, 2009



VYSOKÉ UČENÍ  
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky  
a komunikačních technologií

Ústav radioelektroniky

## Diplomová práce

magisterský navazující studijní obor  
Elektronika a sdělovací technika

**Student:** Bc. Josef Svoboda  
**Ročník:** 2

**ID:** 80482  
**Akademický rok:** 2008/2009

**NÁZEV TÉMATU:**

### Přímý číslicový frekvenční syntezátor

#### POKYNY PRO VYPRACOVÁNÍ:

Prostudujte princip činnosti přímého číslicového frekvenčního syntezátoru (DDS) a proveďte vlastní studii jeho parametrů, zejména s ohledem na rozlišení převodníku D/A a délku řídicího slova.

Navrhněte DDS s výstupní frekvencí nastavitelnou do 100 MHz a hodinovou frekvencí řízenou externím normálem 10 MHz. Vyberte vhodný integrovaný obvod a navrhněte řídicí obvody syntezátoru. Vyřešte komunikaci mezi syntezátorem a hostitelským počítačem po sériové lince (RS232). Navrhněte desku plošného spoje.

Navržený syntezátor realizujte a experimentálně ověřte jeho vlastnosti. Pozornost věnujte především spektrální čistotě generovaného signálu.

#### DOPORUČENÁ LITERATURA:

[1] KROUPA, V. F. Direct Digital Frequency Synthesizers. Piscataway: IEEE Press, 1999.

[2] KASAL, M. Frekvenční syntéza v komunikačních systémech experimentální družice. Vědecké spisy VUT v Brně, sv. 169. Brno: VUT v Brně: 2005.

**Termín zadání:** 9.2.2009

**Termín odevzdání:** 29.5.2009

**Vedoucí práce:** prof. Ing. Miroslav Kasal, CSc.

**prof. Dr. Ing. Zbyněk Raida**  
Předseda oborové rady

#### UPOZORNĚNÍ:

Autor diplomové práce nesmí při vytváření diplomové práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

## **Abstrakt**

Přímá číslicová frekvenční syntéza (DDS) je způsob vytváření analogového průběhu signálu, obvykle sinusového, generováním časově proměnného signálu v digitální formě, který se následně převede na analogový. Protože operace u DDS jsou zejména digitální, nabízí tento princip syntézy možnost rychlého přepínání frekvencí, jemný frekvenční krok a možnost činnosti v širokém rozsahu frekvencí.

Tato práce popisuje přímý číslicový syntezátor s AD9951.

Digitálně analogový převodník  
Frekvenční syntéza  
Přímý číslicový frekvenční syntezátor  
Syntezátor s fázovým závěsem

## **Abstract**

Direct Digital Frequency Synthesis (DDS) is a method of producing an analog waveform, usually a sine wave, by generating a time varying signal in digital form and then performing a digital to analog conversion. Because operations within a DDS device are primarily digital, it can offer fast switching between output frequencies, fine frequency resolution and operation over a broad spectrum of frequencies.

The thesis describes Direct Digital Synthesizer with AD9951.

Digital to Analog Converter  
Frequency Synthesis  
Direct Digital Frequency Synthesizer  
Phase Lock Loop Synthesizer

## **Bibliografická citace mé práce:**

SVOBODA, J. *Přímý číslicový frekvenční syntezátor*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií. Ústav radioelektroniky, 2009. 41 s., 11 s. příloh. Diplomová práce. Vedoucí práce: prof. Ing. Miroslav Kasal, CSc.

## **Prohlášení**

Prohlašuji, že svou diplomovou práci na téma Přímý číslicový frekvenční syntezátor jsem vypracoval samostatně pod vedením vedoucího diplomové práce a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedené diplomové práce dále prohlašuji, že v souvislosti s vytvořením této diplomové práce jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 29. května 2009

.....  
podpis autora

## **Poděkování**

Děkuji vedoucímu diplomové práce Prof. Ing. Miroslavu Kasalovi, CSc. za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé diplomové práce.

V Brně dne 29. května 2009

.....  
podpis autora

# OBSAH

SEZNAM OBRÁZKŮ .....	5
ÚVOD .....	7
<b>1 ROZDĚLENÍ FREKVENČNÍCH SYNTEZÁTORŮ .....</b>	<b>7</b>
<b>2 SYNTEZÁTORY S FÁZOVÝM ZÁVĚSEM.....</b>	<b>8</b>
<b>3 PŘÍMÉ FREKVENČNÍ SYNTEZÁTORY .....</b>	<b>9</b>
3.1 MATEMATICKÝ POPIS DDS .....	9
3.2 NEŽÁDOUCÍ SIGNÁLY DDS .....	12
3.3 DŮSLEDKY OMEZENÍ DÉLKY ŘÍDÍCÍHO SLOVA .....	13
3.4 ČÍSLICOVĚ ANALOGOVÉ PŘEVODNÍKY .....	14
<b>4 NÁVRH PŘÍMÉHO ČÍSLICOVÉHO FREKVENČNÍHO SYNTEZÁTORU ....</b>	<b>15</b>
4.1 OBVOD AD9951 .....	15
4.1.1 SIMULACE S OBVODEM AD9951.....	16
4.2 REKONSTRUKČNÍ FILTR.....	17
4.3 ZESILOVAČ VÝSTUPNÍHO SIGNÁLU .....	18
4.4 HODINOVÁ FREKVENCE OBVODU DDS .....	20
4.5 ŘÍDÍCÍ OBVODY SYNTEZÁTORU.....	21
4.6 OBVODY NAPÁJENÍ .....	22
4.7 NÁVRH PLOŠNÉHO SPOJE SYNTEZÁTORU .....	23
<b>5 REALIZACE PŘÍMÉHO ČÍSLICOVÉHO SYNTEZÁTORU.....</b>	<b>24</b>
5.1 REALIZACE HARDWARE .....	24
5.2 REALIZACE SOFTWARE A ZPŮSOB ŘÍZENÍ SYNTEZÁTORU.....	26
5.3 CHARAKTERISTIKY VÝSTUPNÍHO SIGNÁLU .....	29
<b>6 ZÁVĚR .....</b>	<b>37</b>
<b>LITERATURA .....</b>	<b>39</b>
<b>SEZNAM ZKRATEK .....</b>	<b>40</b>
<b>SEZNAM PŘÍLOH .....</b>	<b>41</b>

# SEZNAM OBRÁZKŮ

Obr. 1. Frekvenční syntezátor využívající smyčky fázového závěsu .....	8
Obr. 2. Typické spektrum signálu generovaného syntezátorem s fázovým závěsem.....	9
Obr. 3. Znázornění principu přidávání fáze na kruhovém diagramu .....	10
Obr. 4. Blokové schéma číslicového frekvenčního syntezátoru modulo- $N$ .....	10
Obr. 5. Proces sčítání modulo- $N$ v grafické podobě a průběh výstupních pulsů .....	11
Obr. 6. Schématické znázornění vzniku rušivých signálů v DDS .....	12
Obr. 7. Typické spektrum signálu generovaného přímou číslicovou syntézou .....	13
Obr. 8. Blokový diagram obvodu AD9951 .....	16
Obr. 9. Spektrum a časový průběh výstupního signálu syntezátoru s frekvencí 10MHz.....	16
Obr. 10. Spektrum a časový průběh výstupního signálu syntezátoru s frekvencí 100MHz..	17
Obr. 11. Zapojení navržené dolní propusti s mezní frekvencí 100MHz .....	17
Obr. 12. Frekvenční charakteristika dolní propusti s mezní frekvencí 100MHz.....	18
Obr. 13. Zapojení širokopásmového zesilovače s tranzistorem BFG135 .....	19
Obr. 14. Frekvenční charakteristika širokopásmového zesilovače s tranzistorem BFG135 ....	19
Obr. 15. Zapojení zdvojovače frekvence se selektivním obvodem na výstupu.....	20
Obr. 16. Spektrum výstupního signálu zdvojovače frekvence .....	21
Obr. 17. Doporučené zapojení napěťového stabilizátoru LM317 .....	23
Obr. 18. Celkový pohled na syntezátor při sejmutí vrchního krytu.....	24
Obr. 19. Referenční hodinový signál AD9951 získaný pomocí zdvojovače frekvence .....	25
Obr. 20. Časový průběh signálu při zápisu frekvenčního slova do obvodu AD9951 .....	27
Obr. 21. Nastavené vlastnosti komunikačního sériového rozhraní.....	27
Obr. 22. Nastavení vlastností aplikace Hyperterminál.....	28
Obr. 23. Nastavení kódu ASCII.....	28
Obr. 24. Ovládací okno syntezátoru.....	28
Obr. 25. Časový průběh výstupního signálu syntezátoru při frekvenci 10MHz.....	29
Obr. 26. Časový průběh výstupního signálu syntezátoru při frekvenci 40MHz.....	30
Obr. 27. Časový průběh výstupního signálu syntezátoru při frekvenci 100MHz.....	30
Obr. 28. Spektrum výstupního signálu 1MHz při hodinové frekvenci 400MHz – WB .....	31
Obr. 29. Spektrum výstupního signálu 10MHz při hodinové frekvenci 400MHz – WB .....	31
Obr. 30. Spektrum výstupního signálu 40MHz při hodinové frekvenci 400MHz – WB .....	32
Obr. 31. Spektrum výstupního signálu 80MHz při hodinové frekvenci 400MHz – WB .....	32
Obr. 32. Spektrum výstupního signálu 100MHz při hodinové frekvenci 400MHz – WB.....	33
Obr. 33. Spektrum výstupního signálu 1MHz při hodinové frekvenci 400MHz – NB .....	33
Obr. 34. Spektrum výstupního signálu 10MHz při hodinové frekvenci 400MHz –NB .....	33
Obr. 35. Spektrum výstupního signálu 40MHz při hodinové frekvenci 400MHz – NB .....	34
Obr. 36. Spektrum výstupního signálu 80MHz při hodinové frekvenci 400MHz – NB .....	34
Obr. 37. Spektrum výstupního signálu 100MHz při hodinové frekvenci 400MHz – NB .....	34
Obr. 38. Spektrum výstupního signálu 40MHz v rozsahu $\pm 50$ kHz okolo nosné .....	35
Obr. 39. Spektrum výstupního signálu 80MHz v rozsahu $\pm 50$ kHz okolo nosné .....	35
Obr. 40. Spektrum výstupního signálu 100MHz v rozsahu $\pm 50$ kHz okolo nosné .....	36
Obr. 41. Šum v postranním pásmu nad generovanou frekvencí 1MHz .....	36
Obr. 42. Šum v postranním pásmu nad generovanou frekvencí 100MHz .....	36
Obr. 43. Obvodové schéma syntezátoru s obvodem AD9951 .....	42
Obr. 44. Deska plošných spojů – řídicí modul – strana součástek, rozměr (100x80) mm....	43
Obr. 45. Deska plošných spojů – řídicí modul – strana spojů .....	43
Obr. 46. Rozmístění součástek na desce plošných spojů – řídicí modul.....	44

Obr. 47. Deska plošných spojů – DDS modul – strana součástek, rozměr (100x80) mm ....	44
Obr. 48. Deska plošných spojů – DDS modul – strana spojů.....	45
Obr. 49. Rozmístění součástek na desce plošných spojů – DDS modul.....	45

# ÚVOD

Frekvenční syntezátory jsou zdroje, signálů přesných frekvencí, nejčastěji sinusového nebo pravouhlého průběhu, které mohou nabývat v určitém rozsahu konečného počtu diskrétních hodnot. Frekvence výstupního signálu lze tedy měnit jen po určitých krocích, které však mohou být velmi malé. Rozdíl dvou sousedních výstupních frekvencí udává frekvenční krok daného syntezátoru. Pojem frekvenční syntezátor zavedl do literatury H. J. Finden v roce 1943 ve své publikaci „The Frequency Synthesizers“. Z počátku se při jejich návrhu postupovalo metodou pokusů a oprav. Autorem exaktního postupu návrhu syntezátorů je V. F. Kroupa, který je držitelem mnoha patentů v této oblasti.

K velkému rozmachu ve využití frekvenčních syntezátorů dochází s příchodem integrovaných obvodů. V současnosti již lze realizovat syntezátory s minimálním počtem diskrétních prvků s frekvencemi v řádech jednotek GHz. Syntezátory nachází široké uplatnění v komunikačních systémech, měřicí technice a dalších elektronických zařízeních.

Rychlé zavádění číslicových metod do elektrotechniky vedlo k realizaci syntezátorů, které pracují na principu přímé frekvenční syntézy a jsou obvykle označovány zkratkou DDFS (Direct Digital Frequency Synthesizers), případně pouze DDS. Tyto syntezátory umožňují číslicově řídit generování frekvencí, které jsou odvozeny z frekvenčních normálů [1],[2],[5].

## 1 ROZDĚLENÍ FREKVENČNÍCH SYNTEZÁTORŮ

Výstupní signál frekvenčních syntezátorů se získává dvěma hlavními způsoby, podle kterých dělíme syntezátory na syntezátory s přímou syntézou a s nepřímou syntézou. O syntezátorech s přímou syntézou mluvíme, pokud je výstupní signál získán pomocí základních aritmetických operací (sčítání, odečítání, násobení a dělení) z referenčních signálů. Tyto operace jsou realizovány soustavou směšovačů, násobičů a děličů frekvence. Důležitou skupinou těchto syntezátorů jsou syntezátory s přímou číslicovou syntézou, u nichž je generovaný signál čten odpovídající rychlostí z paměti ROM. V případě, že požadujeme analogový výstupní signál, je syntezátor doplněn D/A převodníkem a dolnofrekvenční propustí. Hlavní výhodou těchto syntezátorů je frekvenční stabilita a přesnost (závisí na kvalitě frekvenčního normálu) a rychlost přeladění frekvence. Nevýhodou jsou pak nižší dosažitelné frekvence a větší parazitní složky výstupního signálu.

Druhou kategorií jsou syntezátory s nepřímou syntézou, které jsou založeny na principu zpětné vazby a většinou využívají technologii smyčky fázového závěsu označovaného zkratkou PLL (Phase Lock Loop). Tyto obsahují navíc napětím řízené oscilátory, programovatelné děliče frekvence, frekvenční fázové detektory (komparátory), filtr smyčky (dolní propust) a další bloky.

Ve snaze spojit výhody obou systémů se používají v moderních komunikačních systémech kombinace fázových závěsů a přímé číslicové syntézy. Do této skupiny patří například tzv. syntezátory se zlomkovým dělicím poměrem.

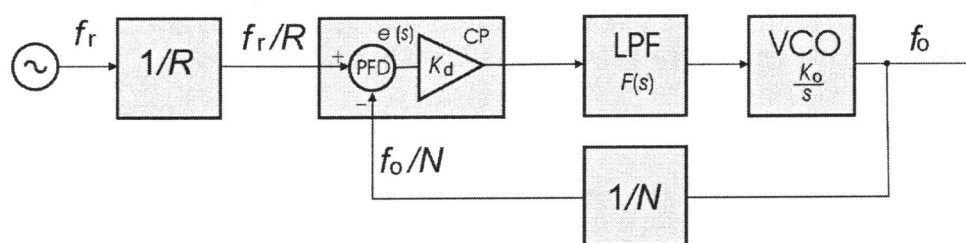
Dalším kritériem podle kterého rozdělujeme syntezátory, je tzv. míra koherence neboli fázový vztah mezi signály vytvořenými a referenčními. Tato závislost je dána konstrukcí syntezátoru, kdy v koherentních syntezátorech se používá pouze jeden základní generátor a výstupní signály jsou vzájemně koherentní. Přesnost a stabilita jsou dány referenční



frekvencí. V případě nekoherentních syntezátorů se využívá několik nezávislých zdrojů signálu a výstupní signály jsou tedy nekoherentní [2],[5].

## 2 SYNTEZÁTORY S FÁZOVÝM ZÁVĚSEM

Převážná část současných syntezátorů využívá technologie smyčky fázového závěsu. Jde o zpětnovazební systémy, jejichž základním blokem je fázový komparátor, který porovnává výstupní signál napětím řízeného oscilátoru VCO (Voltage Controlled Oscillator) se signálem frekvenčního normálu. Rozdílové napětí, které je úměrné rozdílu fází a je filtrováno filtrem smyčky (nejčastěji dolní propust prvního nebo druhého řádu), doladuje VCO tak, aby se rozdíl blížil nule. Abychom získali požadované hodnoty frekvencí, vkládáme do obou vstupů komparátorů děličky frekvence. Blokové schéma jednoduchého syntezátoru s fázovým závěsem uvedené v [2] je na obr. 1.



Obr. 1. Frekvenční syntezátor využívající smyčky fázového závěsu

Pro výstupní frekvenci tohoto syntezátoru platí vztah

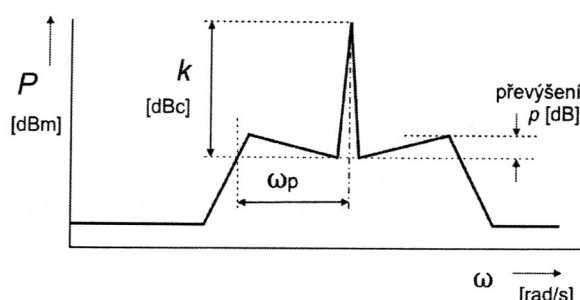
$$f_o = \frac{N}{R} f_r. \quad (1)$$

Výhodou těchto syntezátorů je poměrně nízká cena a jejich jednoduchost. Tento typ syntezátorů lze využít i na vysokých frekvencích, a to až do řádu několika desítek GHz.

Smyčka fázového závěsu využívaná v těchto syntezátorech může pracovat ve dvou režimech, v režimu sledování (setrvává v synchronním stavu) a v režimu zachycování (dosahování synchronního stavu).

V prvním případě smyčka stačí sledovat změny fáze a frekvence. V případě změny fáze vzniká v detektoru chybové napětí, které po průchodu filtrem smyčky doladuje fázi signálu VCO tak, aby byla fázová odchylka minimalizována. Velikost fázové odchylky je pak nepřímo úměrná zisku smyčky. Při změně frekvence se na výstupu detektoru objevuje střídavé napětí s frekvencí, která je dána okamžitým rozdílem frekvencí vstupních signálů. Toto napětí prochází přes filtr smyčky a jeho stejnosměrná složka přeladuje VCO, tak aby se rozdíl frekvencí eliminoval. V případě, že frekvenční rozdíl překoná rozsah pasivní synchronizace, smyčka se rozpadá, VCO přestává sledovat změny frekvence a začne kmitat na vlastní frekvenci. Pro dosažení synchronního stavu je nutné, aby se rozdíl frekvencí zmenšil na hodnotu, která spadá do rozsahu aktivní synchronizace. Pak přechází závěs do režimu zachycování, kdy se postupně frekvence i fáze VCO přibližuje hodnotám vstupního signálu. Po určitém čase se frekvence chybového signálu zmenší na nulu a smyčka přechází opět do režimu sledování [5].

Signál generovaný těmito syntezátory obsahuje především dvě kategorie parazitních signálů. Je to fázový šum a diskrétní parazitní složky. Tyto parazitní signály jsou důsledkem nežádoucí amplitudové a fázové modulace, kterou výstupní signál obsahuje. Typické spektrum signálu generovaného fázovým závěsem uvedené v [2] je na obr. 2.



Obr. 2. Typické spektrum signálu generovaného syntezátorem s fázovým závěsem

Úroveň fázového šumu se nejčastěji vyjadřuje jako výkon jednoho postranního pásma připadající na 1 Hz šířky pásma, tedy hustotou výkonu fázového šumu  $L(f)$ . Výkon nosné je obvykle o několik řádů větší než výkon postranních pásem, proto můžeme za celkový výkon zkoumaného signálu považovat výkon nosné a spektrální hustotu označovanou SSB (Single Side Band) můžeme definovat pomocí vztahu [2]

$$k(f) = -10 \log \left( \frac{P_c}{L(f)} \right) \quad [\text{dBc/Hz}]. \quad (2)$$

Pro konkrétní přenosový kanál je hlavním problémem fázový šum, neboť tento způsobuje snížení jeho dynamiky. Fázový šum v přenosovém kanále o šířce  $\Delta f$  vyvolá celkový šumový výkon, který lze stanovit pomocí vztahu [2]

$$P_{PN} = 2 \int_0^{\Delta f} L(f) df. \quad (3)$$

## 3 PŘÍMÉ FREKVENČNÍ SYNTEZÁTORY

### 3.1 Matematický popis DDS

Řešení frekvenčních syntezátorů obvykle probíhá v následující krocích:

1. Zavedení normovaných frekvencí  $\zeta_x$  a jejich výpočet podle vztahu

$$\zeta_x = \frac{f_x}{f_i} = \frac{X}{Y}. \quad (4)$$

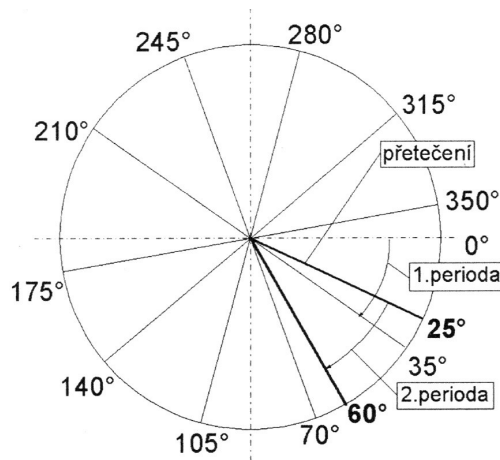
2. Výběr vhodného matematického modelu
3. Vyhodnocení realizačních omezení

Na základě předchozích zkušeností s řešením přímých číslicových syntezátorů metodou pokusů a oprav, matematickými zákonitostmi a rozбором stávajících syntezátorů se dospělo k závěru, že proces frekvenční syntézy je v podstatě postupná aproximace reálných čísel. Nejdůležitější matematické modely vhodné k použití ve frekvenční syntéze a jejich popis je uveden v [1].

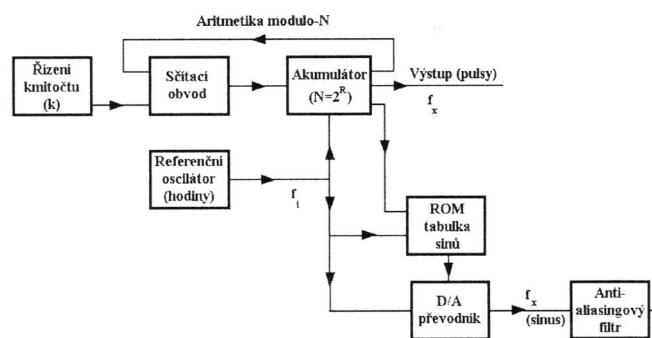
Jsou to:

- Cantorovy řady (používají se v dekadických syntezátorech)
- Luerothovy řady (používají se v jednoúčelových číslicových syntezátorech)
- Cantorovy součiny
- Řetězové zlomky (používají se v jednoúčelových číslicových syntezátorech)
- Modulo- $N$  aproximace (používají se v přeladitelných číslicových syntezátorech)

Ve většině případů jsou dnes řešení DDS založena na aproximacích modulo- $N$ . V případech kdy vyšetřujeme rušivé složky se pak využívá řetězových zlomků. Princip modulo- $N$  spočívá v tom, že referujeme pouze k tzv. zbytkům, tj. pouze k číslům menším než zvolená hodnota  $N$ . Princip je možné nejlépe vysvětlit pomocí kruhového diagramu (Obr. 3), kde se při každém kroku zvětšuje fázový posun například o  $35^\circ$ . Po dosažení celého kruhu ( $360^\circ$ ) dojde k přetečení o  $25^\circ$  a končí první perioda. Druhá perioda začíná s počáteční fází  $25^\circ$  a pokračuje dále s krokem  $35^\circ$ . Po opětovném dosažení celého kruhu se celý proces opět opakuje s počáteční fází  $15^\circ$  atd. Po sedmi periodách dospějeme k výchozímu zbytkovému posunu  $0^\circ$ . Na stejném principu, tj. přidávání fázového kroku, pracují číslicové frekvenční syntezátory. Blokové schéma skutečného syntezátoru uvedené v [3] je uvedeno na obr. 4.



Obr. 3. Znáornění principu přidávání fáze na kruhovém diagramu



Obr. 4. Blokové schéma číslicového frekvenčního syntezátoru modulo- $N$

Při každém pulsu řídicí frekvence se zvýší obsah akumulátoru o  $k$ , které reprezentuje fázový přírůstek. Při každém přetečení akumulátoru začíná nová střádací perioda, avšak se zbytkem modulo- $N$ .

Pokud předchozí příklad zobecníme pro akumulátor s velikostí  $N$  a pro počáteční stav akumulátoru nula, dojde po  $m_1$  řídicích pulsech o kroku  $T_i$  a fázovém přírůstku  $kT_i$  k prvnímu přetečení a zbytku  $(m_1k - N) < k$ , pod druhým přetečením dostaneme zbytek  $(m_2k - 2N) < k$ , až po  $n$ -tém přetečení bude  $(m_nk - nN) = 0$ . Pro časovou modulační funkci je pak v [1] odvozen výsledný vztah po  $r$ -té vzorkovací periodě

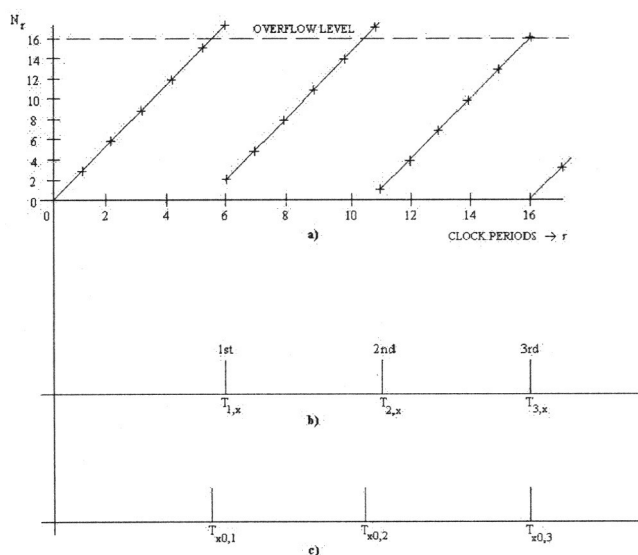
$$s(t_r) = T_i \left[ r \frac{N}{k} - \text{integer} \left( r \frac{N}{k} \right) \right]. \quad (5)$$

Z předchozí rovnice je zřejmé, že časový rozdíl mezi skutečnými a ideálními výstupními pulsy nepřekročí jeden krok  $T_i$ . Proces sčítání modulo- $N$  je v grafické podobě pro normovanou frekvenci  $\zeta_x = 3/16$  uveden na obr. 5. Na obr. 5b je uvedena skutečná poloha výstupních pulsů, které mají periodu  $T_{xr}$  a na obr. 5c je idealizovaná poloha výstupních pulsů s periodou  $T_{xo}$ . Pro jednotlivé periody tedy platí vztah

$$NT_i = \sum_{r=1}^k T_{xr} = kT_{xo}. \quad (6)$$

Na základě uvedeného vztahu určíme střední frekvenci výstupních pulsů  $f_{xo}$

$$f_{xo} = \frac{1}{T_{xo}}. \quad (7)$$



Obr. 5. Proces sčítání modulo- $N$  v grafické podobě a průběh výstupních pulsů

Tuto frekvenci lze pak měnit změnou řídicího slova  $k$  na vstupu bloku řízení frekvence. V praktických zařízeních je  $N$  obvykle rovno vysoké mocnině 2, abychom docílili jemných frekvenčních kroků. Nejmenší frekvenční krok syntezátoru je pak dán vztahem [1]

$$\Delta f_{x0} = \frac{fc}{2^R}. \quad (8)$$

### 3.2 Nežádoucí signály DDS

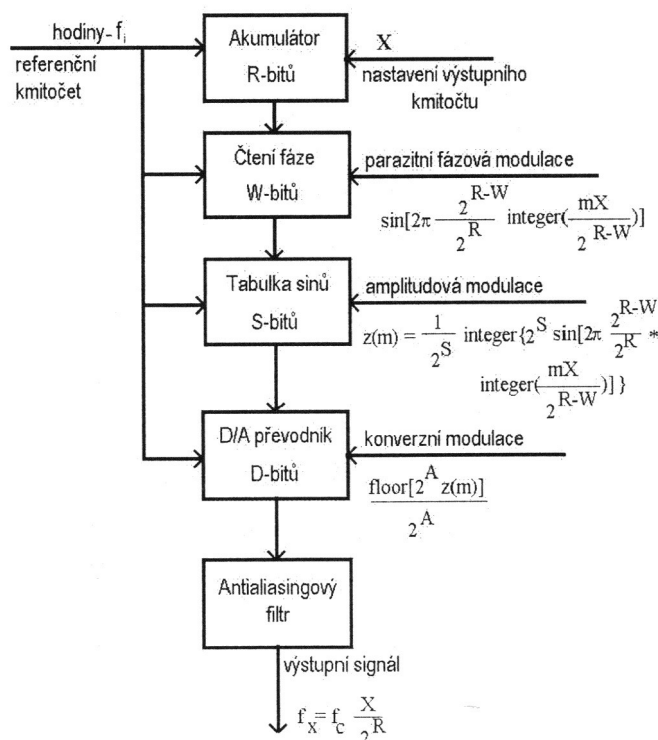
Velký problém, který je spojen s číslicovými frekvenčními syntezátory, jsou nežádoucí signály. Tyto signály vznikají společně s požadovaným signálem a v některých případech je jejich úroveň značně velká. Znalost jejich původu, amplitud a frekvencí je tedy velice důležitá jak pro návrháře, tak i uživatele. Původy vzniku těchto nežádoucích signálů jsou podle [1] především tyto:

- Reálný proces vzorkování
- Omezování počtu bitů v pamětech
- Nelinearity v integrovaných obvodech
- Přechodové jevy
- Aliasing

Při zkracování délky binárního slova v pamětech DDS vznikají rušivé signály z následujících důvodů:

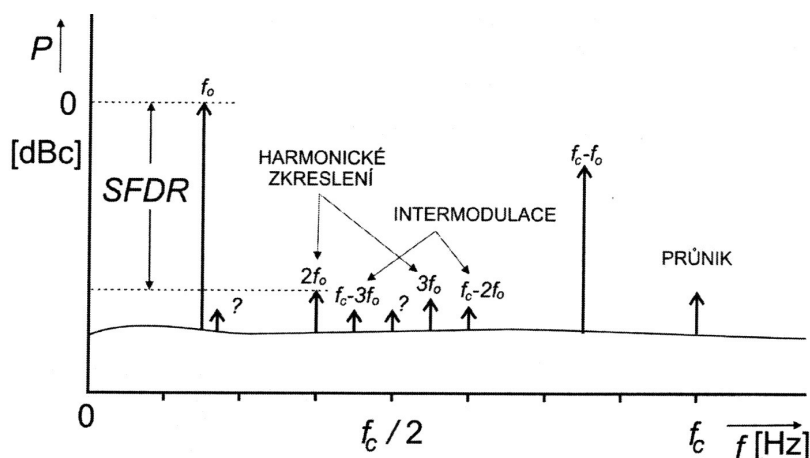
- Využití pouze několika nejvýznamnějších bitů (MSB) akumulátoru
- Amplitudové rozlišení výstupního sinového signálu - v tabulce ROM jsou vzorky z jedné periody sinu kvantované na  $S$  bitů
- Konečná rozlišovací schopnost analogově-číslicových převodníků je  $D$  bitů
- Nelinearity analogově-číslicových převodníků (D/A)
- Přechodové jevy v D/A (glitches a pod.)
- Intermodulace na nelinearitách systému

Vznik nežádoucích signálů, jak je schématicky znázorněn v [1], je uveden na obr. 6



Obr. 6. Schématické znázornění vzniku rušivých signálů v DDS

Typické spektrum signálu generovaného přímou číslicovou syntézou uvedené v [2] je na obr. 7.



Obr. 7. Typické spektrum signálu generovaného přímou číslicovou syntézou

### 3.3 Důsledky omezení délky řídicího slova

Abychom dosáhli u syntezátoru vysoké rozlišovací schopnosti, používáme fázové akumulátory s velkou kapacitou ( $R = 32, 48$  nebo  $64$ ). Na výstupu akumulátoru se však využívá pouze  $W$  nejvýznamnějších bitů. Omezení délky slova na výstupu fázového akumulátoru o  $B$  bitů způsobuje fázový šum, tedy fázovou modulaci výstupního signálu. V [1] je uveden vztah pro odhad odstupů nejsilnějšího parazitního signálu, který vznikne v důsledku omezení počtu bitů, od signálu nosné

$$20 \log \left( \frac{a_{sp}}{a_{car}} \right) \approx -6W - 20 \log(r) \quad (r = 1, 2, \dots, 2^{B-1}), \quad (9)$$

kde  $a_{sp}$  je amplituda rušivého signálu a  $a_{car}$  amplituda požadovaného výstupního signálu. Největší takto vzniklá rušivá složka bude mít hodnotu  $-6W$  [dB] a jednotlivé rušivé složky budou nabývat hodnot podle vztahu [3]

$$f_{sp} = f_x + \left| r \left[ \frac{X}{2^B} - \text{integer} \left( \frac{X}{2^B} \right) \right] \right| + s \left| f_c \quad s = \dots, -2, -1, 0, 1, 2, \dots \quad (10)$$

K dalšímu omezení délky slova dochází v tabulce ROM. Pomocí tabulky sinových hodnot se převádí informace o fázi uložená v DDS akumulátoru v sinusový průběh. Aby byla velikost tabulky přiměřená, omezujeme uložené slovo na pouhých  $S$  bitů. V [1] je odvozen vztah pro výkonovou spektrální hustotu při daném omezení

$$S(n) = -7,8 - 6 \cdot S - 10 \log(fc) \pm 10 \quad [\text{dB}]. \quad (11)$$

Jelikož je u D/A převodníku MSB bit využit jako znaménkový, dává  $D$  bitový převodník pro každou polaritu pouze  $A$  hodnot ( $A=D-1$ ). Pro amplitudy jednotlivých lichých harmonických ( $h$ ) pak platí vztah [1]

$$a_h \approx 2 \frac{2^{-A}}{\pi} \frac{1}{h}, \quad (12)$$

na jehož základě odvodíme pro třetí harmonickou hodnotu ( $-6A - 14$ ) [dB]. Potřebný počet bitů pro ovládání sinové tabulky je pak dán vztahem [1]

$$W \geq A + 3. \quad (13)$$

### 3.4 Číslicově analogové převodníky

V případech, kdy je požadován výstupní signál analogový, je nedílnou součástí syntežátoru číslicově analogový převodník. Tento převodník zhoršuje spektrální čistotu výstupního signálu, což je způsobeno především třemi hlavními důvody:

- a) konečné bitové rozlišení
- b) nelinearita převodníku
- c) přechodové jevy v převodníku.

Současné technologie nám neumožňují vyrábět D/A převodníky s libovolným rozlišením. Navíc s rostoucím počtem bitů roste také cena těchto převodníků a současně klesá další, neméně důležitý parametr, kterým je rychlost. V současnosti se nejčastěji používají převodníky s rozlišením 8 až 12 bitů, čemuž odpovídají vzorkovací rychlosti přes 400Mps u 8bitových převodníků a 100Mps u 12bitových převodníků.

Pro posouzení kvality výstupního signálu je nutné také uvažovat poměr signálu a šumu, který je označován zkratkou SNR (Signal to Noise Ratio). Podle [1] platí pro tento poměr při uvažovaném kvantizačním šumu 0,5 LSB vztah

$$\text{SNR} = 1,76 + 6,02 \cdot D \quad [\text{dB}], \quad (14)$$

kde  $D$  je počet bitů převodníku. Zjednodušeně můžeme říci, že s rozšířením převodníku o jeden bit se kvantizační šum zmenšuje o 6dB.

Další příčinou snížení spektrální čistoty výstupního signálu převodníků, je řada nelinearit. Tyto vznikají jednak při výrobních procesech v důsledku nepřesností jednotlivých komponent, anebo jsou zapříčiněny vlivy prostředí, zejména kolísáním teploty proudových obvodů a podobně. V souvislosti s tím jsou definovány, některé termíny popisující určité druhy nelinearit. Jsou to:

1. Stejnoseměrný posuv - způsobuje, že přenosová funkce D/A je stejnosměrně posunutá vzhledem k ideální. Tento posuv nemá žádný vliv na výstupní spektrum signálu za převodníkem.
2. Chyba zesílení - otáčí výstupní napětí okolo binární nuly. Tato chyba má všeobecně malý vliv na chování ve frekvenční oblasti.
3. Diferenciální nelinearita (DNL) - označuje případ, kdy chyba převodu není větší než jeden LSB v celém rozsahu převodníku.
4. Integrální nelinearita (INL) - je definována jako maximální odchylka od přímkové aproximace přenosové funkce D/A.
5. Přechodné jevy - v D/A dochází k mnoha spínacím operacím, které nejsou vždy u rozsáhlých obvodů prováděny současně. V důsledku toho nežádoucí napěťové nebo

proudové skoky nabíhají a doznívají s přechodovými jevy, zákmity, zvanými glitches. Tyto zákmity se objevují na výstupu převodníku při přechodu z jednoho kódu na druhý. Největší zákmity se objevují uprostřed rozsahu D/A, kdy dochází ke změně v největším počtu bitů převodníku. Jak je ukázáno ve [3], výsledný poměr signál šum není obvykle těmito zákmity zhoršen o více než 3 dB. Pro snížení zákmitů se používají převodníky s binárně snižovanými proudy, nebo se provádí nastavování časového posuvu řídicích obvodů, případně se používá zapojení vzorkovacího obvodu s pamětí [3].

## 4 NÁVRH PŘÍMÉHO ČÍSLICOVÉHO FREKVENČNÍHO SYNTEZÁTORU

V současné době pro realizaci číslicových syntezátorů lze využít DDS modulů, které již mohou bez dalších periférií sloužit jako jednoduché zdroje sinusového signálu. Pro dosažení kvalitního signálu s požadovanou úrovní je však nutné moduly doplnit minimálně rekonstrukčním filtrem, případně zesilovačem nebo atenuátorem pro požadované pásmo frekvencí.

Nejvýznamnějším výrobcem těchto modulů je pravděpodobně v současnosti firma Analog Devices. V jejich nabídce lze nalézt obvody s hodinovou frekvencí v rozsahu 25MHz až 1GHz, jejichž maximální cena obvykle nepřekračuje 50\$. Právě hodinová frekvence je jedním z rozhodujících kritérií při výběru obvodu. Aby D/A převodník byl schopen vytvořit odpovídající analogový signál, musí být hodinová frekvence DDS obvodu alespoň dvojnásobkem požadované výstupní frekvence. V praktických aplikacích při využití filtrů s reálnými vlastnostmi, se požadavek zvyšuje na minimálně tří až čtyř násobek výstupní frekvence.

Pro 100MHz syntezátor by tedy bylo možné využít obvody s hodinovou frekvencí 300MHz a více. Na frekvenci 300MHz nabízí firma Analog Devices obvod AD9854, který umožňuje vytvořit dva kompletní syntezátory a jeho jednodušší variantu AD9852. Firma dále nabízí obvody s hodinovou frekvencí 400MHz, 500MHz a 1GHz. S rostoucí hodinovou frekvencí obvykle roste i cena obvodu.

Na základě získaných informací bylo rozhodnuto pro realizaci syntezátoru s obvodem AD9951, který patří k obvodům s jednodušší strukturou a může pracovat s maximální hodinovou frekvencí 400MHz.

### 4.1 Obvod AD9951

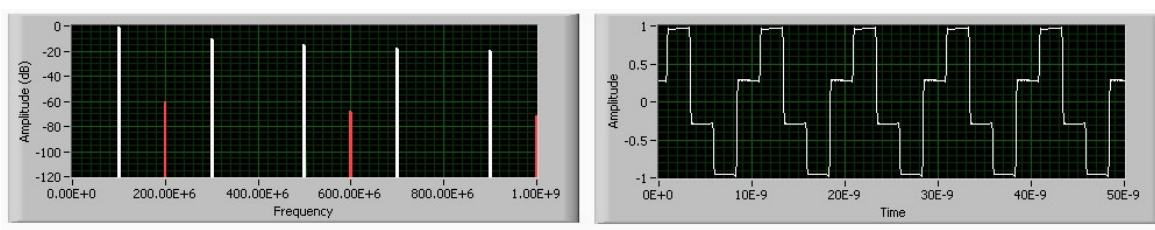
Obvod AD9951 s maximální hodinovou frekvencí 400MHz by teoreticky mohl generovat sinusový signál až do frekvence 200MHz. Ladící slovo má délku 32 bitů, což umožňuje při maximální hodinové frekvenci dosáhnout minimální frekvenční krok asi 0,1Hz. Obvod také disponuje možností nastavit offset fáze pomocí 14 bitového slova. Na výstupu obvodu je pro získání analogového výstupního signálu zapojen 14 bitový D/A převodník s komplementárními výstupy. Výstupní proud převodníku lze nastavit externím rezistorem, jehož hodnotu lze vypočítat dle vztahu [6]

$$R_{SET} = 39,19 / I_{OUT} , \quad (15)$$





Nejvýznamnější složky v tomto případě jsou druhá a třetí harmonická, jejichž odstup od požadované frekvence 10MHz je asi  $-50\text{dBc}$ . Dále se ve spektru objevují zrcadlové frekvence, které vznikají v okolí celočíselných násobků referenční frekvence, což jsou například hodnoty 390MHz a 410MHz s odstupem asi  $-32\text{dBc}$ . Tyto a další vyšší nežádoucí frekvence již leží mimo pracovní pásmo syntezátoru a lze je tedy dobře odstranit kvalitním filtrem. Ve spektru se také objevuje parazitní složka s frekvencí přibližně 80MHz, která je důsledkem odříznutí nižších bitů slova na výstupu z akumulátoru fáze. Úroveň parazitní složky je odhadována na  $-70\text{dBc}$  a její skutečná hodnota závisí na konkrétním návrhu. Úroveň parazitních složek se může také zvýšit v případě, že referenční frekvence je celočíselným násobkem frekvence výstupní. Na obr. 10 je pak uveden příklad pro maximální frekvenci navrhovaného syntezátoru 100MHz. Při této frekvenci je již výstupní signál složen pouze ze čtyř vzorků a harmonický průběh připomíná pouze vzdáleně. Nezbytností je tedy rekonstrukční filtr na výstupu převodníku.

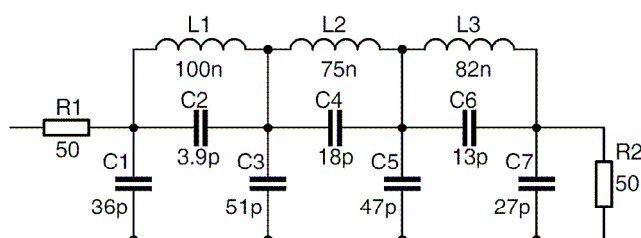


Obr. 10. Spektrum a časový průběh výstupního signálu syntezátoru s frekvencí 100MHz

## 4.2 Rekonstrukční filtr

Na výstupu D/A převodníku je široké spektrum signálů, a proto je výstupní signál DDS syntezátoru přiveden do rekonstrukčního filtru. Obvykle se jedná o dolní propust, jejíž mezní frekvence je  $f_{\text{REF}}/2$ . Nejednodušší variantou je pasivní LC filtr, který by měl mít minimální zvlnění v propustném pásmu a maximální strmost přechodu do nepropustného pásma. Vhodným typem je eliptický nebo Cauerův filtr, který dosahuje největšího útlumu s nejnižším řádem filtru.

Pro návrh filtru byly použity vztahy a tabulky hodnot uvedené v literatuře [7]. Jako výchozí pro návrh byly zvoleny následující vstupní parametry. Mezní frekvence 100MHz, zvlnění v propustném pásmu 0,1dB a útlum v nepropustném pásmu 60dB. Filtr splňující tyto požadavky je Cauerův filtr sedmého řádu. Na základě výpočtů pak bylo navrženo zapojení filtru, které je uvedeno na obr. 11.

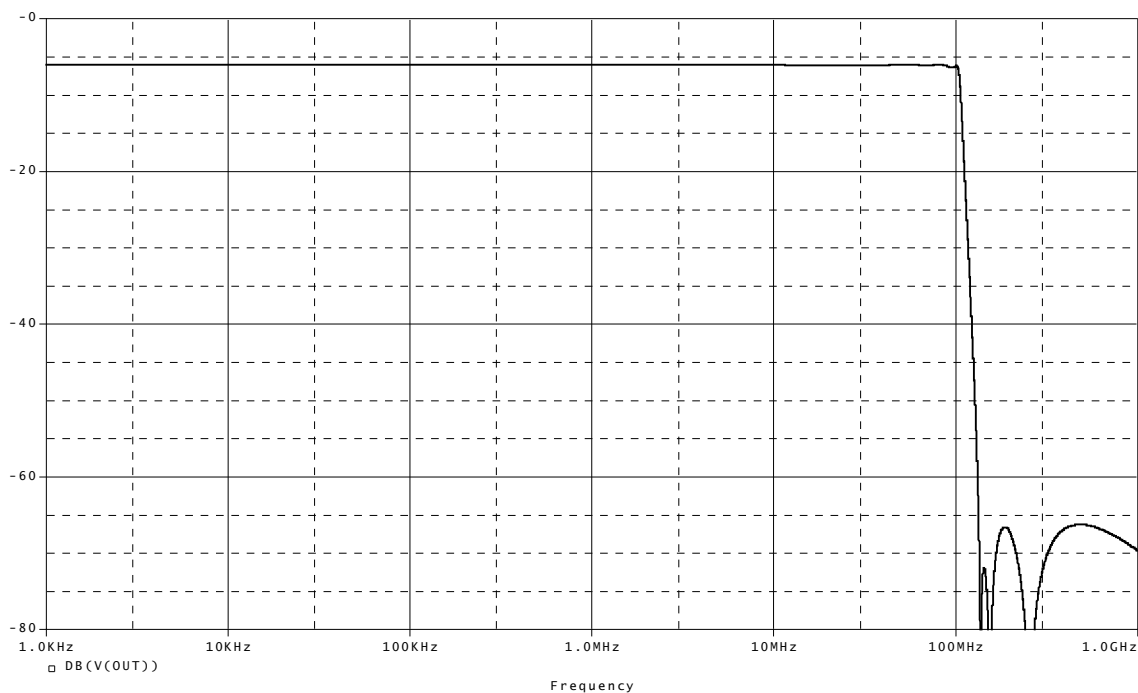


Obr. 11. Zapojení navržené dolní propusti s mezní frekvencí 100MHz

S takto navrženým filtrem byla provedena simulace v programu OrCAD Pspice a získaná frekvenční charakteristika je uvedena na obr. 12. Díky děliči z rezistorů je napěťová

úroveň na výstupu filtru v celém rozsahu zeslabena o 6dB. Útlumu 60dB proti úrovni v propustném pásmu je dosaženo přibližně při frekvenci 134MHz.

Při volbě konkrétních induktorů a kapacitorů pro konstrukci filtru je nutné vybírat součástky s dostatečně vysokou vlastní rezonační frekvencí a vysokou jakostí z důvodu nižšího sériového odporu. V případě příčných kapacitorů je doporučeno volit paralelní kombinaci dvou kapacitorů s poloviční hodnotou kapacity, což se dle [8] příznivě projeví na spektru výstupního signálu. Z důvodu menších rozměrů je vhodné volit ke konstrukci filtru SMD prvky.



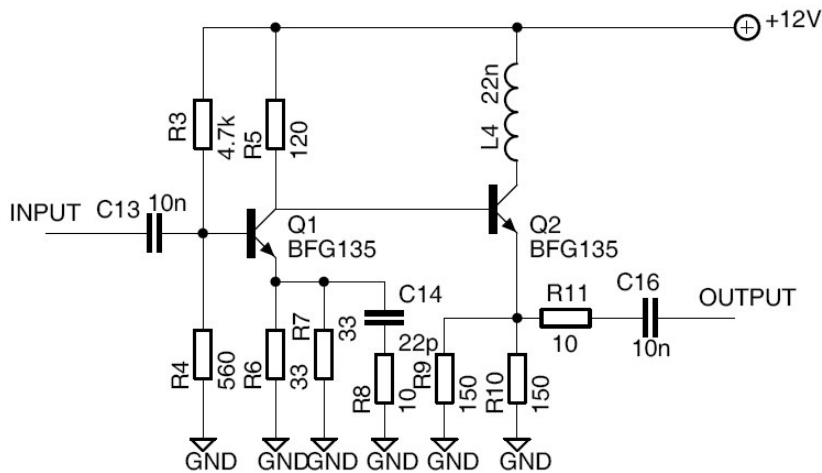
Obr. 12. Frekvenční charakteristika dolní propusti s mezní frekvencí 100MHz

### 4.3 Zesilovač výstupního signálu

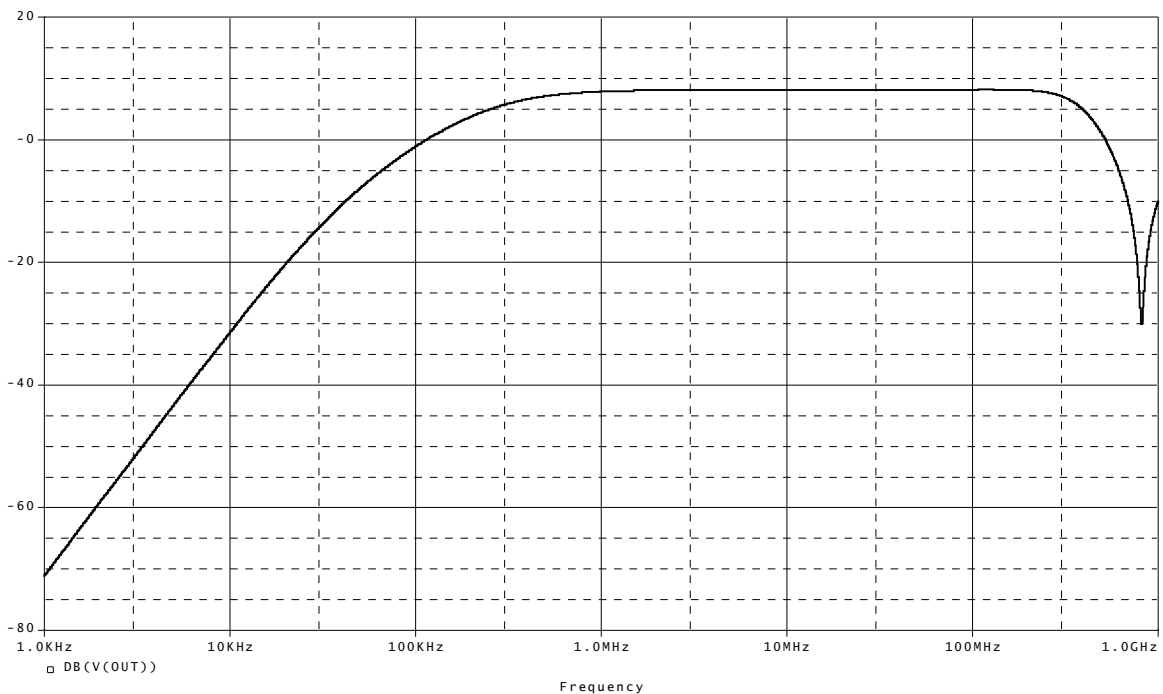
Abychom dosáhli vyšší úroveň výstupního signálu, je nutné zapojit na výstup syntezátoru výkonový zesilovač. Jako výhodné se jevílo použít zapojení uveřejněné v [9], které využívá dva běžně dostupné tranzistory BFG135. Uvedený tranzistor vyrábí například firma Philips v pouzdře SOT223. Jedná se o NPN širokopásmový tranzistor s typickou tranzitní frekvencí 7GHz při kolektorovém proudu 100mA. Výrobce u tranzistoru udává maximální výkonový zisk přes 10dB až do řádu stovek MHz. Povolena výkonová ztráta je do 1W [10].

Použitý zesilovač se skládá ze dvou stupňů. První stupeň je zesilovač se společným emitorem. Za ním pak následuje emitorový sledovač, na jehož výstup bude přes rezistor a vazební kondenzátor připojena zátěž.

Obvodové schéma zapojení zesilovače je uvedeno na obr.13. Vazební kapacitory s hodnotou 10nF jsou voleny s ohledem na přepokládané využití syntezátoru ve frekvenčním pásmu od stovek kHz výše. S uvedeným zapojením zesilovače byla provedena simulace v programu OrCAD Pspice. Získaná frekvenční charakteristika je uvedena na obr. 14. Maximální zisk zesilovače při zátěži 50  $\Omega$  je přibližně 8dB. Šířka pásma zesilovače přesahuje 350MHz.



Obr. 13. Zapojení širokopásmového zesilovače s tranzistory BFG135



Obr. 14. Frekvenční charakteristika širokopásmového zesilovače s tranzistory BFG135

Mezi výstupy převodníku bude zapojeno vinutí vf transformátoru s impedancí  $50\Omega$  a transformačním poměrem 1:1. Při uvažovaném výstupním proudu 10mA obdržíme na výstupu transformátoru signál s rozkmitem asi 500mV, tedy s úrovní signálu přibližně  $-15\text{dBV}$ . Aby výstup syntezátoru měl trvale definovanou impedanci  $50\Omega$ , bude zakončen 3dB útlumovým článkem  $\Pi$  s uvedenou impedancí. Hodnoty rezistorů pro  $50\Omega$  systém byly vypočteny pomocí vztahů

$$R_1 = 50 \left[ \frac{10^{\frac{A}{20}} + 1}{10^{\frac{A}{20}} - 1} \right] \quad R_2 = 25 \left[ \frac{10^{\frac{A}{10}} - 1}{10^{\frac{A}{20}}} \right], \quad (16a, b)$$

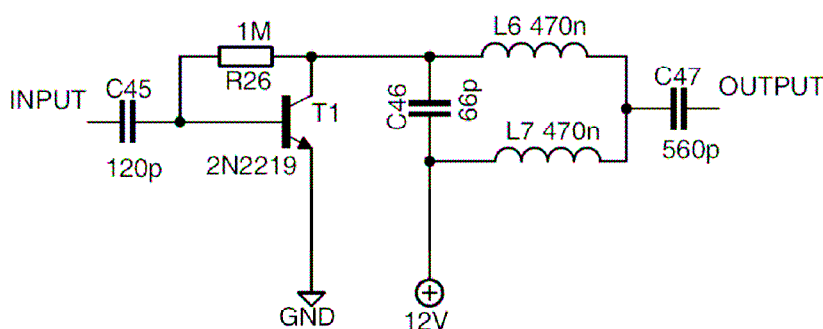
které jsou uvedeny například v [9].

Při uvedené konfiguraci bude výstupní úroveň signálu přibližně  $-10\text{dBV}$ , čemuž odpovídá výkonová úroveň na této impedanci  $+3\text{dBm}$ .

#### 4.4 Hodinová frekvence obvodu DDS

Obvod AD9951 je vybaven symetrickým vstupem hodinového signálu. V případě, že je využit pouze jednoduchý vstup, komplementární vstup by měl být pomocí kapacitoru  $100\text{nF}$  spojen s kladným přívodem analogového napájení. Hodinová frekvence může nabývat hodnot v rozsahu  $1\text{MHz}$  až  $400\text{MHz}$  v případě, že není využit vnitřní fázový závěs. Při využití násobení pomocí fázového závěsu, nesmí výsledná hodinová frekvence přesáhnout hodnotu  $400\text{MHz}$ . Násobení lze nastavit pomocí 5 bitů vnitřního funkčního registru č. 2 v rozmezí  $4\times$  až  $20\times$ . Použití vnitřního závěsu však způsobí zvýšení zbytkového fázového šumu. Specifikace výrobce uvádí při výstupní frekvenci  $40\text{MHz}$  a offsetu  $1\text{kHz}$  hodnotu fázového šumu  $-132\text{dBc/Hz}$ . V případě nastavení násobitele na hodnotu  $4\times$  dojde ke zvýšení na hodnotu  $-115\text{dBc/Hz}$  a při hodnotě  $20\times$  až na  $-105\text{dBc/Hz}$  [6].

V uvažovaném návrhu syntezátoru má být použita externí reference  $10\text{MHz}$ . Pro dosažení maximální hodinové frekvence je tedy nutné i při využití násobitele s hodnotou  $20$ , zvýšit hodnotu referenční frekvence dvakrát. Z tohoto důvodu byl obvod doplněn zdvojovačem frekvence. V úvahu připadaly můstkový diodový zdvojovač, tranzistorový zdvojovač se selektivním obvodem, případně fázový závěs. Existují také širokopásmové zdvojovače, jako například obvod FM-107 [11], jejichž dostupnost na našem trhu je však špatná. Nakonec byla vybrána varianta zesilovače s tranzistorem 2N2219 od firmy Philips, jehož hodnota tranzitní frekvence je vyšší jak  $250\text{MHz}$ . Schéma zapojení je uvedeno na obr. 15.



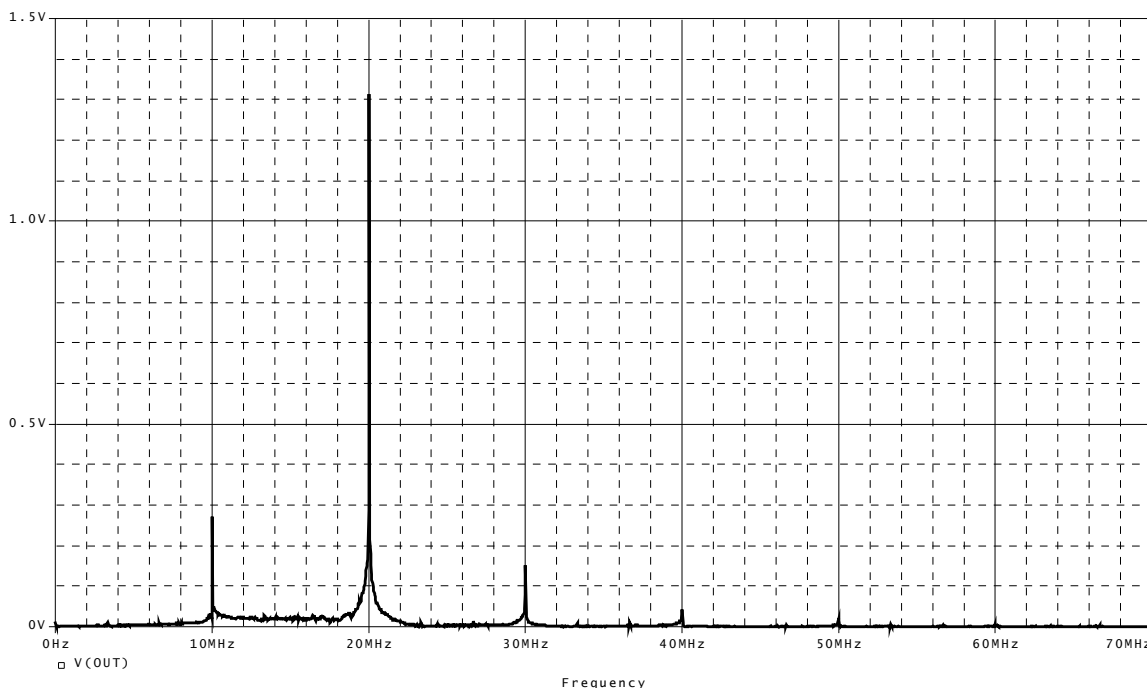
Obr. 15. Zapojení zdvojovače frekvence se selektivním obvodem na výstupu

Spektrum výstupního signálu zdvojovače frekvence uvedeného na obr. 15 získané pomocí simulace v programu OrCAD Pspice, je uvedeno na obr.16.

Povolený rozsah vstupního výkonu hodinové frekvence uváděný výrobcem je  $-15\text{dBm}$  až  $+3\text{dBm}$ . Pro dosažení minimální hodnoty fázového šumu syntezátoru je požadován signál s co možná největší amplitudou. Při simulaci byla uvažována úroveň vstupního signálu  $1\text{V}$ , která by měla zajistit na výstupu druhou harmonickou se špičkovou úrovní  $1,4\text{V}$ , což odpovídá přibližně výkonu  $+13\text{dBm}$ . Aby nebyla překročena povolená úroveň hodinového signálu bude do signálové cesty zařazen  $10\text{dB}$  souměrný útlumový článek v konfiguraci  $\Pi$ . Hodnoty jednotlivých rezistorů jsou stanoveny podle dříve uvedených vztahů (16a,b).

## 4.5 Řídící obvody syntezátoru

Abychom mohli ovládat navržený syntezátor, je nutné jej doplnit řídicí jednotkou. Jejím úkolem je především zajištění zapsání konstant do patřičných registrů obvodu DDS. Jedná se hlavně o zapsání 32 bitového frekvenčního ladícího slova, které přímo určuje frekvenci výstupního signálu. Pokud je požadováno, je nutné také nastavit registry určující využití fázového závěsu a hodnotu násobitele. Obvod disponuje i dalšími registry, které lze externě nastavovat, jako například registr pro nastavení offsetu fáze, registr formátu sériové komunikace a další.



Obr. 16. Spektrum výstupního signálu zdvojovače frekvence

Jako řídicí obvod byl zvolen 8 bitový mikrokontrolér ATmega8 od firmy Atmel v pouzdře PDIP. Obvod disponuje EEPROM s kapacitou 512Bytes, 8kB pamětí typu Flash a 1kB pamětí SRAM. Mikrokontrolér je schopen pracovat s hodinovou frekvencí až 16MHz a s napájecím napětím 4,5V až 5,5V. Ke komunikaci s okolím obvod využívá 23 programovatelných obousměrných portů. [13]

Obvod AD9951 je vybaven sériovým synchronním komunikačním portem, který je kompatibilní s většinou přenosových formátů. Rozhraní umožňuje přístup pro čtení i zápis ke všem registrům, které slouží ke konfiguraci obvodu syntézy. Obvod povoluje začátek přenosu jak, od nejméně významného bitu, tak i od nejvíce významného bitu. Sériové rozhraní může být konfigurováno jako dvou vodičové, kdy pin 41 (SDIO) slouží pro obousměrný přenos dat, nebo jako třívodičové, kdy pin 41 slouží pouze jako vstup a pin 38 (SDO) slouží jako výstup. Pro synchronizaci sériového přenosu dat slouží pin 40 (SCLK), na který je přiváděn synchronizační signál. Přenos dat ze vstupních bufferů do paměťových registrů syntezátoru pak zajišťuje náběžná hrana na vysokou úroveň, která je přiváděna na pin 1 (I/O UPDATE).

Komunikační perioda obvodu AD9951 se skládá ze dvou fází. V první fázi komunikace, která trvá po dobu 8 cyklů signálu SCLK, definuje instrukční bajt zdali půjde o čtení či zápis přicházejících dat a adresu registru, ke kterému bude přistupováno. V druhé

fázi již probíhá přenos konkrétních dat. Počet bajtů přenášených v této fázi komunikace je závislý na typu registru, do kterého se přistupuje. V případě frekvenčního ladícího slova, které má délku čtyři bajty, je komunikační cyklus ukončen až po přenesení všech čtyř datových bajtů. Po skončení komunikační periody, řadič sériového portu znovu očekává instrukční bajt pro následující komunikační cyklus.

Pro zajištění synchronní komunikace mikrokontroléru s obvodem syntezátoru, musí mikrokontrolér generovat na svém pinu 19 synchronizační signál pro sériovou komunikaci, který bude přiveden na pin 40 obvodu DDS. Z pinu 17 pak budou přenášena data, která odpovídají požadované výstupní frekvenci, na datový vstup na pinu 41 obvodu DDS. Dále na jednom z výstupních pinů musí být generován signál pro zápis dat z bufferů do registrů obvodu DDS a tento bude přiváděn na vstup 1. Abychom získali výchozí nastavení obvodu DDS, musí být na pin 36 (RESET) přiveden resetovací signál s vysokou úrovní, který bude také generovat mikrokontrolér.

Uvedený mikrokontrolér je napájen napětím o hodnotě 5V a jeho výstupní logické úrovně odpovídají hodnotám TTL. Digitální část obvodu AD9951 je však napájena napětím 1,8V (pin 43) a proto je nutné logické úrovně přizpůsobit. Při uvedené hodnotě napájení má logická jednička minimální úroveň 1,25V a logická nula maximální hodnotu 0,6V. Protože je předpokládána pouze jednostranná komunikace, byl zvolen jednoduchý napěťový dělič s rezistory s hodnotami 1,2k $\Omega$  a 2,2k $\Omega$ , který sníží hodnotu logické úrovně na výstupu mikrokontroléru o jednu třetinu [6].

Po spuštění program mikrokontroléru provede reset obvodu DDS a zapíše konstanty uložené v pevné paměti do patřičných registrů. Jednak půjde o konstantu frekvenčního ladícího slova a jednak půjde o hodnotu násobitele referenční frekvence. Aby bylo možné změnit hodnoty výstupní frekvence, je syntezátor doplněn sériovým rozhraním RS-232, což umožní komunikaci s počítačem. Pomocí jednoduchého programu pak bude možné zapsat do mikrokontroléru nové hodnoty konstant a tím získat odlišné hodnoty generované frekvence.

## 4.6 Obvody napájení

Obvod AD9951 vyžaduje oddělené napájení pro analogovou a digitální část, a to stejnosměrným napětím 1,8V. V digitální části je pak oddělené napájení jádra obvodu a napájení pro logické vstupy a výstupy, kde je možné využít jak napájecí napětí 1,8V, tak také napětí 3,3V. Vzhledem k tomu, že není předpokládáno využití logických výstupů a vstupy zatěžují zdroj pouze minimálně, bylo zvoleno společné napájení pro obě části, a to napětím 1,8V. Hodnoty logických úrovní byly upraveny pomocí rezistorového děliče, jak je uvedeno výše. Maximální spotřeba obvodu uváděná výrobcem je menší než 200mW.

Další hodnotu napájecího napětí požaduje mikrokontrolér a obvod MAX232 [14], umožňující komunikaci přes sériové rozhraní RS-232. V tomto případě je požadováno napájecí napětí 5V s předpokládaným odběrem v řádu několika desítek mA.

Poslední požadovanou hodnotou napájecího napětí je 12V, které je vyžadováno širokopásmovým zesilovačem a zdvojovačem frekvence. Hlavní proudový odběr z tohoto zdroje bude mít zesilovač, jehož hodnota by neměla překročit 200mA.

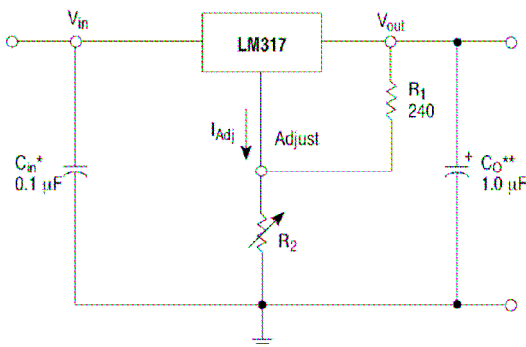
Na základě uvedených skutečností byly vybrány pro realizaci napájecího zdroje třísvorkové regulátory napětí s maximálním výstupním proudem do 1A. Pro hodnoty 5V a 12V lze využít obvod L7800A s pevně danými výstupními napětími 5V a 12V. K obvodům stačí pouze připojit kapacitory s doporučenými hodnotami a získáme zdroj stejnosměrného napětí s tolerancí 2%. Obvody jsou dodávány jak v klasickém pouzdře (TO-220), tak v pouzdře pro SMT montáž. [15]

V případě napájecího napětí 1,8V sice také existují regulátory s pevně nastavenou výstupní hodnotou, ale jsou obvykle hůře dostupné. Proto byl zvolen pro tuto hodnotu napětí nastavitelný regulátor LM 317. Výstupní napětí je v tomto případě nastaveno pomocí dvojice rezistorů, jejichž hodnoty musí splňovat vztah [16]

$$V_{out} = V_{ref} \left( 1 + \frac{R_2}{R_1} \right) + I_{Adj} R_2 . \quad (17)$$

Nominální hodnota referenčního napětí udávaná výrobcem je 1,25V a hodnota proudu  $I_{Adj}$  je obvykle menší než 100 $\mu$ A a tudíž význam tohoto členu ve vztahu (17) je většinou zanedbatelný. Zapojení doporučené výrobcem je uvedeno na obr. 17.

Oba typy uvedených stabilizátorů mají povolené vstupní napětí větší jak 30V. Maximální možná hodnota vstupního stejnosměrného napětí je tedy omezena především dimenzováním kapacitorů, které budou dimenzovány na maximální napětí 20V až 25V. Minimální hodnota napájecího napětí by neměla poklesnout pod 14V, z důvodu možného úbytku napětí na regulátorech, který může dosahovat až 2V. Nicméně hodnota napětí 12V určená pro zesilovač a zdvojovač frekvence není kritická a správná funkce by měla být zajištěna i při napětí 10V.



Obr. 17. Doporučené zapojení napěťového stabilizátoru LM317

#### 4.7 Návrh plošného spoje syntezátoru

K návrhu plošného spoje syntezátoru byl použit software Eagle 5.3.0 verze Light. Tato verze je omezena mimo jiné maximálním rozměrem desky na hodnotu (100x80) mm, umožňuje využít pouze 2 vrstvy spojů a schéma může být vytvořeno pouze na jednom listu.

Celkové obvodové schéma zapojení navrženého syntezátoru je uvedeno v příloze A. Navržený obvod není možné umístit pouze na jeden plošný spoj uvedeného rozměru, a proto byl obvod rozdělen na dvě části, a to na řídicí modul a DDS modul. Každý modul je umístěn na jedné desce plošných spojů, které jsou vzájemně propojeny dvěma konektory. První konektor, který je označen na desce plošných spojů jako JP1, má 8 pinů a přivádí k modulu DDS 4 řídicí signály z mikrokontroléru. Na zbytek pinů je přiveden zemní potenciál. Druhý 6 pinový konektor, označený JP2, slouží k přivedení napájecích napětí 12V, 1,8V pro analogovou část a 1,8V pro digitální část. Zdroj 5V napájí pouze obvody na první desce a na druhou desku tedy není přiveden. Obě desky jsou navrženy jako dvouvrstvé s prokovy a mají maximální rozměr, který povoluje použitý software. Klasické i SMD součástky jsou na obou deskách osazeny pouze ze strany součástek. Na obou deskách je vytvořena co největší možná souvislá plocha, která je spojena se zemním potenciálem, aby bylo dosaženo snížení vyzařování z vodičů, které vedou vysokofrekvenční signály.



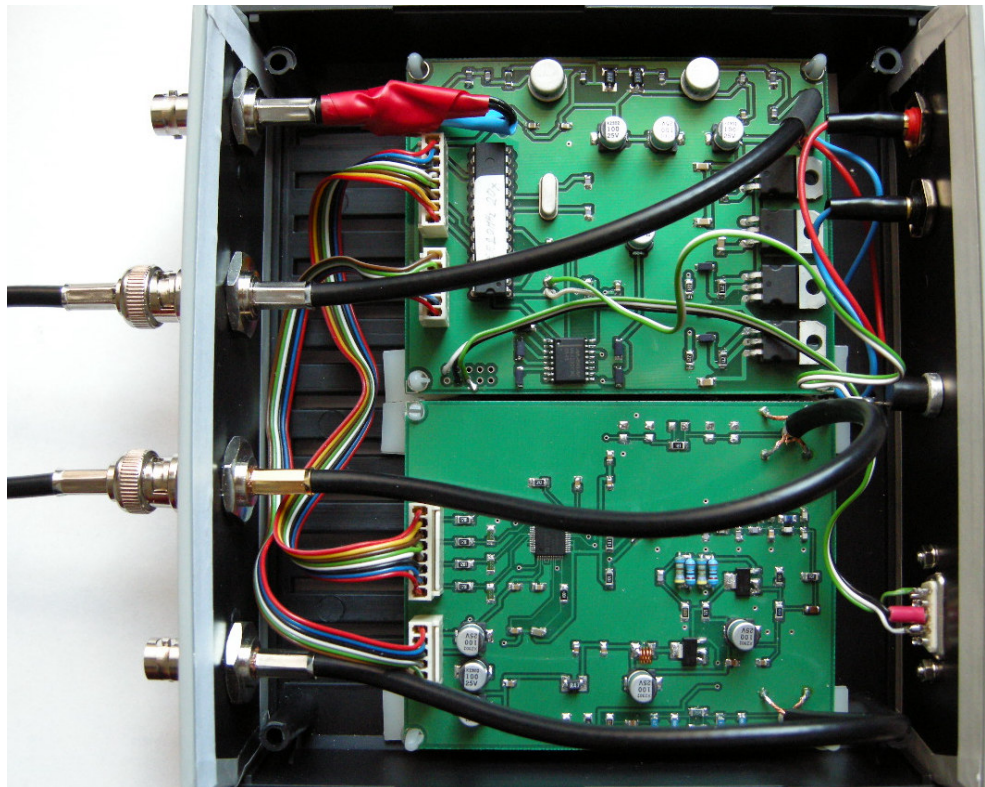
Na první desce plošných spojů je umístěn blok napájení, blok řízení s mikrokontrolérem ATmega8, rozhraní RS-232 a zdvojovač frekvence. Deska bude mít připojeny dva BNC konektory pro zdvojovač frekvence, kdy jeden konektor (X11) bude sloužit jako vstup pro referenční frekvenci 10MHz a druhý jako výstup s dvojnásobnou frekvencí (X12). Na tuto desku se také připojuje napájecí napětí, což bude realizováno pomocí zdřfek pro banánky.

Na druhé desce je umístěn obvod DDS s výstupním filtrem a zesilovačem. Pro vstup externí reference je zde opět BNC konektor (X21), na který může být přiváděna referenční frekvence buď ze zdvojovače na první desce nebo přímo z externího normálu. Výstup celého syntezátoru je realizován pomocí dalšího BNC konektoru s označením (X22). Navržené desky plošných spojů a rozmístění součástek na jednotlivých deskách je uvedeno v příloze B. Celková rozpiska součástek je uvedena v příloze C.

## 5 REALIZACE PŘÍMÉHO ČÍSLICOVÉHO SYNTÉZÁTORU

### 5.1 Realizace hardware

Celkové schéma zapojení syntezátoru je uvedeno jako příloha A. Realizovaný syntezátor byl umístěn do plastové krabičky rozměru (170x170) mm a jeho skutečné provedení je vidět na obr. 18.



Obr. 18. Celkový pohled na syntezátor při sejmutí vrchního krytu

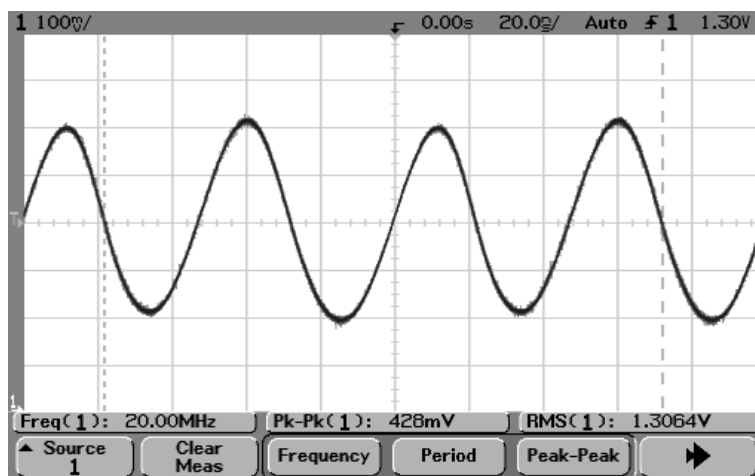
Na předním panelu jsou vyvedeny čtyři BNC konektory. Konektor úplně vlevo při pohledu zepředu slouží jako vstup pro přivedení externí reference 10MHz. Předpokládaná vstupní úroveň signálu je 0dBm až +13dBm. Na druhém konektoru zleva je k dispozici výstupní signál s dvojnásobnou frekvencí. Třetí BNC konektor zleva slouží pro přivedení referenční frekvence přímo k obvodu syntezátoru. Konektory dva a tři jsou tedy při běžném provozu propojeny krátkým BNC kabelem. BNC konektor úplně vlevo slouží jako výstup signálu syntezátoru s frekvencí 1MHz až 100MHz.

Na zadním panelu jsou umístěny dvě zdířky pro banánky, kam je přiváděno stejnosměrné napájecí napětí v rozmezí 14V až 18V. Dále je zde umístěno resetovací tlačítko, které slouží k restartu mikrokontroléru a následně celého syntezátoru. Po jeho stisknutí generuje syntezátor výstupní signál s frekvencí 2MHz. Na zadním panelu je také umístěn devítipinový konektor Canon, jenž slouží pro ovládání syntezátoru pomocí rozhraní RS232.

Jak již bylo zmíněno dříve zapojení je realizováno na dvou oboustranných deskách plošných spojů s prokvy. Na desce řídicího modulu jsou kromě mikrokontroléru umístěny čtyři stabilizátory s pasivními prvky, jenž zajišťují požadovaná napájecí napětí. Na této desce je také umístěn obvod sériového rozhraní MAX232, který umožňuje komunikaci syntezátoru s počítačem. Dále deska obsahuje zdvojovač frekvence s oddělovacím zesilovačem se společným kolektorem, na jehož výstupu je referenční signál s frekvencí 20MHz.

Na desce DDS modulu je pak umístěn obvod syntezátoru s filtrem a tranzistorovým zesilovačem. Jednotlivé desky jsou propojeny dvěma konektory. První osmipinový konektor přivádí z desky řídicího modulu signály z mikrokontroléru, které řídí obvod DDS. Druhý šestipinový konektor pak přivádí na desku DDS modulu napájecí napětí, a to dvakrát úroveň 1,8V pro obvod DDS a úroveň 12V pro zesilovač.

Referenční hodinový signál pro obvod AD9951 je přiváděn na desku DDS modulu z vnějšího BNC konektoru přes sériový rezistor. Původně uvažovaný 10dB útlumový článek s impedancí 50Ω byl vypuštěn, protože jeho nízká impedance narušovala správnou funkci referenčního vstupu a tím i celého obvodu DDS. Skutečný časový průběh tohoto signálu, který byl naměřen na hodinovém vstupu obvodu při využití tranzistorového zdvojovače, je uveden na obr. 19. Naměřené hodnoty byly získány přivedením externí reference 10MHz s úrovní 0dBm na vstup zdvojovače. Při použití referenčního signálu s úrovní +13dBm, se hodnota na hodinovém vstupu obvodu AD9951 téměř zdvojnásobí.



Obr. 19. Referenční hodinový signál AD9951 získaný pomocí zdvojovače frekvence

Navržené zařízení je napájeno ze stabilizovaného zdroje a maximální trvalý odběr syntezátoru nepřekračoval hodnotu 290mA.

Při realizaci byly použity, mimo obvodu syntezátoru, elektronické prvky běžně dostupné v maloobchodní síti. Výjimkou byly pouze SMD kapacitory s velkou kapacitou a výkonové SMD rezistory, které byly v praktickém zapojení použity v odlišných pouzdech. V drtivé většině případů byly použity pasivní prvky s tolerancí 5%. Jako hůře dostupné v kusovém množství se ukázaly některé hodnoty induktorů v provedení SMD, které jsou využity například v rekonstrukčním filtru. Horší dostupnost byla také zjištěna u vf transformátoru v provedení SMD. V zapojení, na výstupu syntezátoru, byl nakonec použit transformátor TC1-1T od firmy Mini-Circuits s charakteristickou impedancí  $50\Omega$  a vložitelným útlumem 1dB. Tento útlum je výrobcem deklarován pro frekvenční rozsah od 1MHz do 100MHz. Celková cena použitých součástek a dalších prvků zakoupených v maloobchodní síti (bez obvodu AD9951) činí přibližně 1100Kč s DPH.

## 5.2 Realizace software a způsob řízení syntezátoru

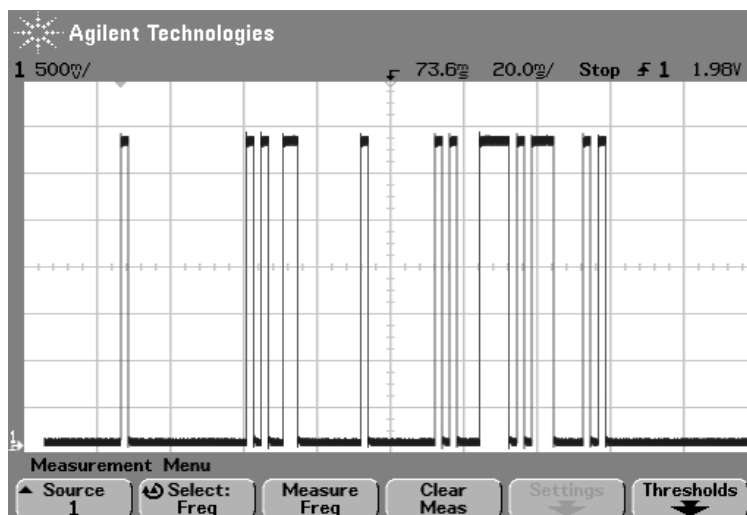
Řídící program syntezátoru byl vytvořen v programovacím jazyce C pomocí software CodeVizardAVR verze 2.04.0a Standard. K zapsání vytvořeného programu do mikrokontroléru ATmega8, byl použit programovací kit AVR STK 500.

Navržený program má splňovat dva hlavní úkoly. V první řadě musí být schopen zapsat frekvenční ladící slovo do patřičných registrů obvodu AD9951 a to i včetně požadované hodnoty násobitele fázového závěsu. Dále musí program zajistit možnost komunikace mikrokontroléru s počítačem a tím umožnit nastavení požadované výstupní frekvence syntezátoru přímo z počítače.

Realizovaný software sestává ze dvou souborů. Je to jednak hlavní programový soubor dds.c a soubor knihoven funkcí dds\_lib.c. V hlavním souboru jsou načteny potřebné knihovny programového prostředí, jsou zde definovány jednotlivé proměnné a následně volány jednotlivé funkce určené k zápisu instrukčního bajtu, frekvenčního slova a násobitele. Hlavní součástí programu je nekonečný cyklus *while*, který slouží k načtení znaků ze sériového rozhraní, které jsou odesílány z počítače. Tyto znaky jsou zobrazeny v okně Hyperterminálu a po jejich dekódování jsou provedeny požadované operace. Ve druhém souboru jsou definovány výše uvedené funkce a jednoduchá funkce help, která ukazuje požadovanou strukturu zápisu nastavované frekvence.

Vlastní zápis frekvenčního slova do registrů obvodu DDS vždy probíhá postupně po jednotlivých bitech a to od nejvíce významného bitu. Délka trvání jednotlivých bitů byla zvolena 1ms. Při zápisu do jednotlivých registrů musí být zapsány vždy všechny bity daného registru. Toto je důležité především u vnitřního funkčního registru č. 2, kde vlastní násobitel je tvořen pouze 5 bity z celkové délky registru, která činí 24 bitů. Současně při generování informačních bitů na portu PB3 mikrokontroléru ATmega8, jsou na portu PB5 generovány hodinové pulsy řídicí sériovou komunikací. Po vygenerování kompletního obsahu zapisovaného registru je na portu PC1 vygenerován 5ms impuls, který zajistí zapsání obsahu vstupních bufferů do patřičných registrů. Pro kompletní reset obvodu DDS, který je prováděn vždy při inicializaci obvodu, slouží 5ms impuls generovaný na portu PC0. Příklad časového průběhu signálu zajišťujícího zápis frekvenčního slova, který byl zaznamenán na výstupním portu mikrokontroléru PB3, je uveden na obr. 20.

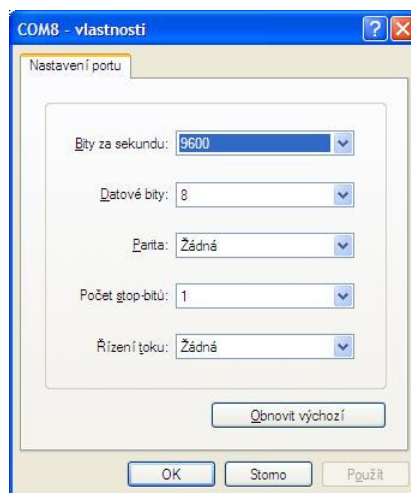
Podrobnější popis způsobu komunikace mezi mikrokontrolérem a syntezátorem, kterému odpovídá struktura vytvořeného programu, je uveden v kapitole 4.5.



Obr. 20. Časový průběh signálu při zápisu frekvenčního slova do obvodu AD9951

Jako komunikační program, který zajišťuje ovládání syntezátoru z počítače, byla zvolena aplikace Hypertermínál, která je součástí operačního systému Windows.

Nejdříve je vybrán sériový port určený pro komunikaci. U tohoto portu je nastavena přenosová rychlost 9600bitů/s a další parametry komunikace, tak jak je to uvedeno na obr. 21.

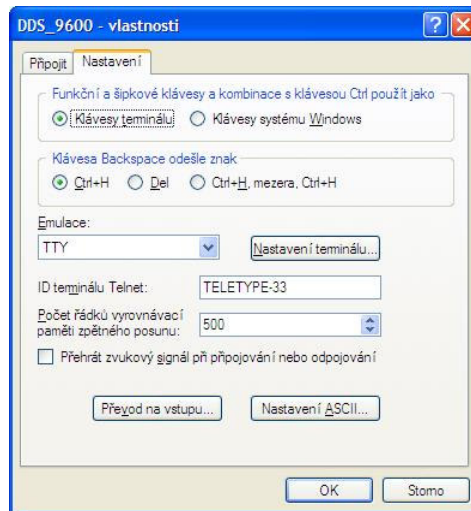


Obr. 21. Nastavené vlastnosti komunikačního sériového rozhraní

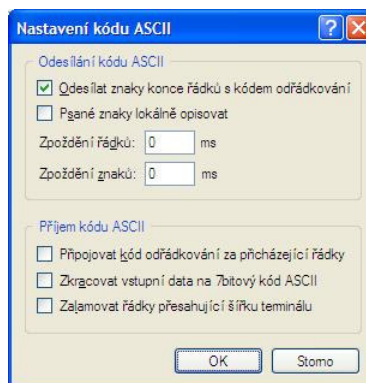
Zvolenou konfiguraci aplikace Hyperterminál pro ovládání syntezátoru lze vidět na obr. 22 a obr. 23.

Po nastavení vlastností komunikace je syntezátor ovládán z pracovního okna Hyperterminálu. Ukázka způsobu ovládání syntezátoru je uvedena na obr. 24.

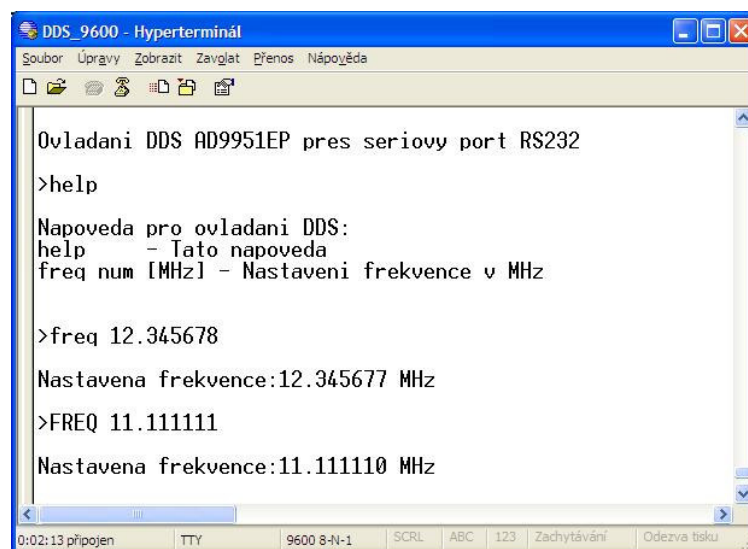
Po zapnutí syntezátoru, který je pomocí kabelu (nulový modem) propojen s počítačem, nebo po stisknutí resetovacího tlačítka, se při správné konfiguraci rozhraní v ovládacím okně zobrazí hlášení o možnosti jeho ovládání přes sériový port a syntezátor začne generovat signál s přednastavenou frekvencí 2MHz.



Obr. 22. Nastavení vlastností aplikace Hyperterminál



Obr. 23. Nastavení kódu ASCII



Obr. 24. Ovládací okno syntezátoru

Příkaz pro ovládání syntezátoru se skládá ze slova *freq*, které je následováno mezerou a hodnotou frekvence v MHz. Hodnotu frekvence lze zadat s rozlišením na šest

desetinných míst. Po zapsání příkazu a stisknutí klávesy *enter*, provede program výpočet nastavené hodnoty frekvence se zadaným násobitelem 20x a výsledná hodnota frekvence se zobrazí v ovládacím okně a je proveden zápis do patřičných registrů obvodu DDS. Tím je provedeno nové nastavení frekvence a syntezátor začne generovat signál s novou hodnotou frekvence.

K dispozici je také příkaz *help*, který vypíše ukázkou správné syntaxe příkazu pro zadávání frekvence v ovládacím okně.

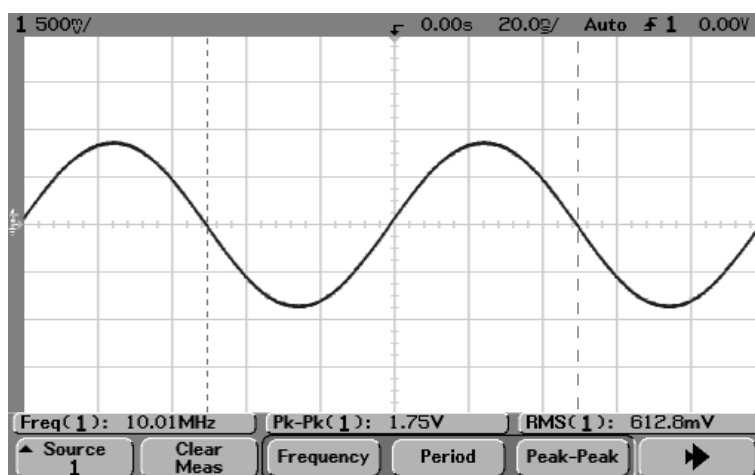
Funkčnost vytvořeného komunikačního rozhraní byla ověřena na notebooku HP Compag nx9030 s operačním systémem Windows XP Professional. Protože tento počítač nedisponuje sériovým rozhraním, byl pro komunikaci využit adaptér USB – RS232 od firmy *I-tec*. Ovládání syntezátoru při této konfiguraci pracovalo bezchybně.

### 5.3 Charakteristiky výstupního signálu

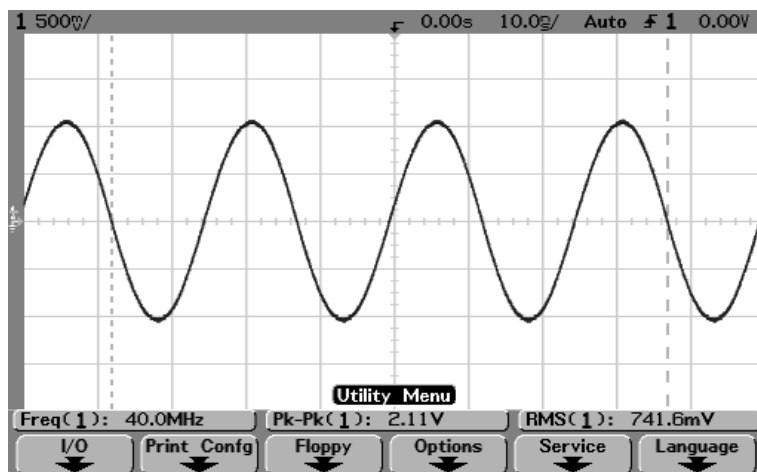
První informace o vlastnostech výstupního signálu, byly získány pomocí osciloskopu firmy Agilent řady 54622 a čítače BM642C s externí referencí získanou z přijímače GPS. Časové průběhy signálu na výstupu syntezátoru pro několik frekvencí jsou uvedeny na obr. 25, obr. 26 a obr. 27.

Dále bylo provedeno měření generované frekvence čítačem. Při maximální hodinové frekvenci obvodu AD9951 400MHz je minimální frekvenční krok přibližně 0,1Hz a tato hodnota také udává maximální rozdíl mezi požadovanou a nastavenou hodnotou. Při měření frekvence však byla zjištěna chyba o řád větší. Příčinou této chyby je zaokrouhlení při výpočtu frekvenčního ladícího slova, ke kterému dochází v důsledku omezeného rozsahu proměnné *unsigned long int*, která je využívána v programu CodeVizardAVR verze 2.04.0a Standard. Pro dosažení menší odchylky mezi požadovanou a skutečně nastavenou hodnotou frekvence, by bylo nutné využít vyšší verze programu, kde toto omezení není. Jinou možností by bylo, zavést vhodnou matematickou korekci přímo při výpočtu.

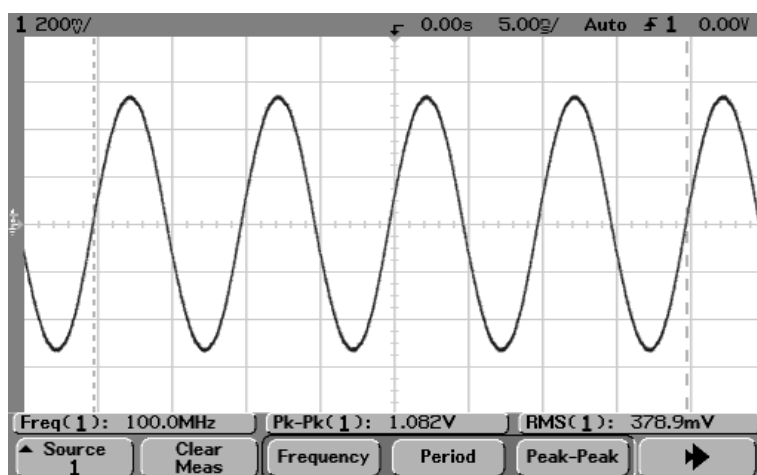
Pro ověření výstupní úrovně signálu byl použit měřič výkonu HP 436A se sondou HP 8482. V rozsahu frekvencí 1MHz až 60MHz se výstupní úroveň signálu pohybovala v rozsahu +3dBm až +4dBm. Směrem k vyšším frekvencím úroveň postupně klesá až na hodnotu +1,4dBm při frekvenci 90MHz. Na frekvenci 100MHz byla naměřena úroveň výstupního signálu přibližně -1dBm. Na vysoké impedanci byla dosažená výkonová úroveň o 3dB vyšší. Pro dosažení vyšší úrovně výstupního signálu by bylo nutné doplnit celé zapojení o blok předzesilovače, případně vypustit 3dB útlumový článek na výstupu.



Obr. 25. Časový průběh výstupního signálu syntezátoru při frekvenci 10MHz



Obr. 26. Časový průběh výstupního signálu syntezátoru při frekvenci 40MHz



Obr. 27. Časový průběh výstupního signálu syntezátoru při frekvenci 100MHz

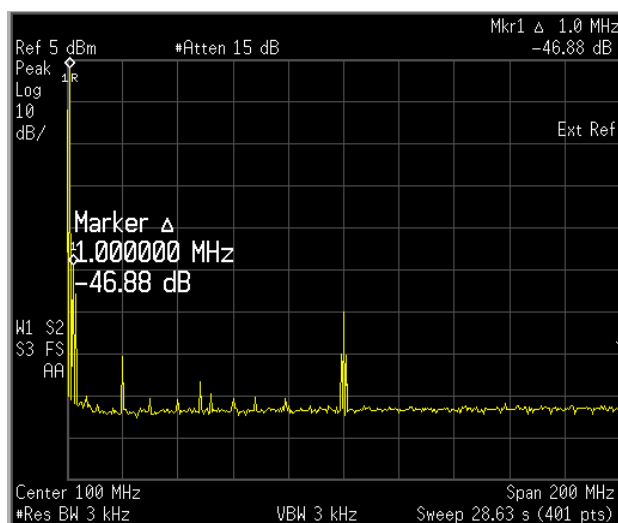
V další fázi ověřování vlastností syntezátoru byla pozornost zaměřena na spektrální čistotu výstupního signálu. Ke spektrální analýze signálu byl použit EMC analyzátor E7404A. Jako zdroj referenčního signálu byl využit generátor od firmy Rohde&Schwarz SML 03. Vstupní signál pro zdvojovač frekvence byl přiváděn přímo z výstupu referenčního normálu generátoru 10MHz. Úroveň tohoto signálu na impedanci  $50\Omega$  je větší jak 0,5V RMS.

Měření spektrální čistoty signálu bylo provedeno při několika diskretních frekvencích a to jak v širokém, tak i v úzkém frekvenčním pásmu okolo generované frekvence.

První testovaná frekvence byla zvolena na dolním okraji syntezátoru, a to 1MHz. Naměřené spektrum signálu v širokém frekvenčním pásmu je uvedeno na obr. 28.

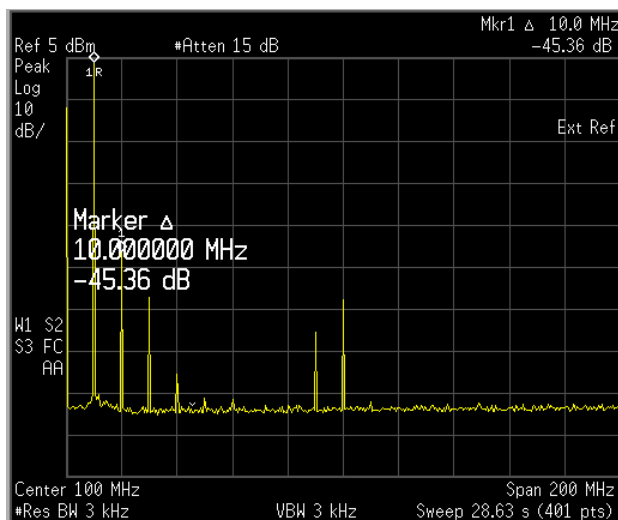
Nejvýznamnější parazitní složky v tomto případě jsou druhá a třetí harmonická s potlačením asi 47dB u druhé harmonické a necelých 54dB u třetí harmonické. Tyto nežádoucí složky nejsou použitým filtrem s mezní frekvencí 100MHz vůbec omezovány. Dále se ve spektru objevuje parazitní složka s frekvencí 100MHz. Jde o frekvenci, která je  $\frac{1}{4}$  hodnoty hodinové frekvence obvodu. Tato frekvence je vytvářena děličkou přímo v obvodu a slouží pro synchronizaci externích zařízení. Naměřené potlačení vzhledem k nosné frekvenci dosahuje téměř 58dB. Ani u této složky není vliv použitého výstupního filtru příliš významný. Další významné složky ve spektru mají hodnotu frekvence 20MHz a

200MHz. Potlačení obou složek je přibližně o 10dB větší než u parazitní složky s frekvencí 100MHz.



Obr. 28. Spektrum výstupního signálu 1MHz při hodinové frekvenci 400MHz – WB

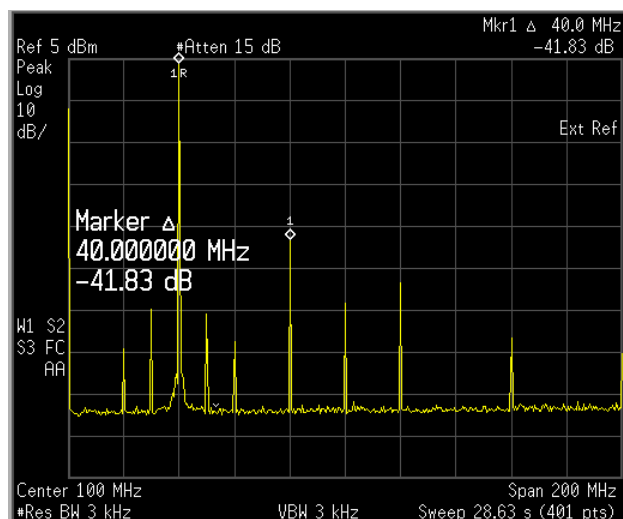
V druhém případě byla měřena spektrální čistota signálu s frekvencí 10MHz. Zaznamenané spektrum je vidět na obr. 29. I zde mají rozhodující vliv druhá a třetí harmonická jejichž hodnoty potlačení odpovídají hodnotám z předchozího případu. Také v tomto případě je jasně patrná nežádoucí složka s frekvencí 100MHz a navíc je také jasně patrná zrcadlová frekvence 90MHz.



Obr. 29. Spektrum výstupního signálu 10MHz při hodinové frekvenci 400MHz – WB

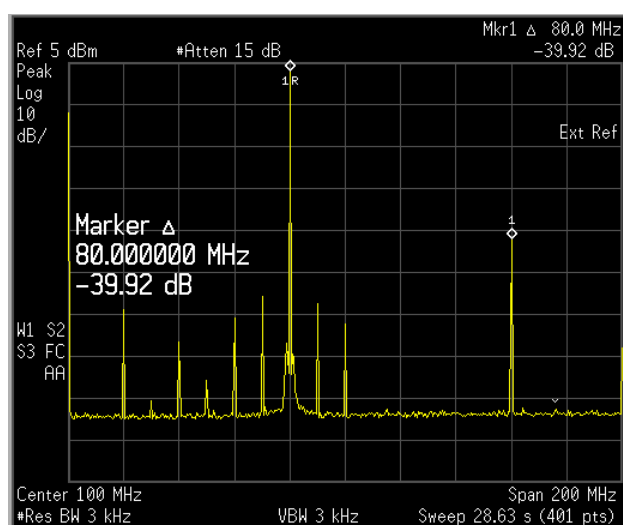
Třetí spektrum signálu bylo získáno při frekvenci 40MHz. Spektrum toho signálu je uvedeno na obr. 30. Zde jsou jasně viditelné harmonické složky až do páté harmonické, přičemž úroveň druhé harmonické je oproti základní potlačena o 42dB. Úroveň složky 100MHz je prakticky neměnná ve srovnání s předchozími případy. Navíc se v okolí základní harmonické objevují další součtové a rozdílové složky, jejichž úroveň je potlačena o více jak 60dB.





Obr. 30. Spektrum výstupního signálu 40MHz při hodinové frekvenci 400MHz – WB

Frekvenční spektra výstupního signálu při frekvencích 80MHz a 100MHz jsou uvedena na obr. 31 a obr. 32. V obou případech má rozhodující vliv na čistotu signálu druhá harmonická. Z uvedených zobrazení však vyplývá, že praktická realizace filtru v provedeném zapojení je málo účinná.

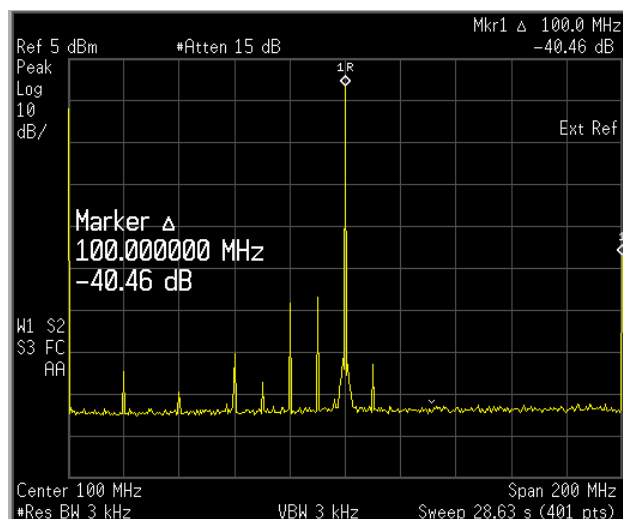


Obr. 31. Spektrum výstupního signálu 80MHz při hodinové frekvenci 400MHz – WB

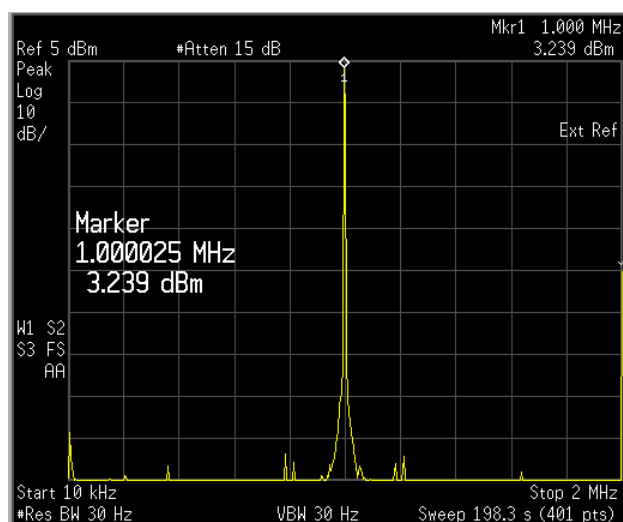
Následně bylo provedeno měření spektra výstupního signálu v úzkém frekvenčním pásmu při stejných hodnotách frekvence jako v předchozích případech. První měření bylo opět provedeno na frekvenci 1MHz. Získané spektrum výstupního signálu je uvedeno na obr. 33. V tomto případě je vidět, že všechny nežádoucí složky, mimo druhé harmonické, jsou potlačeny o více než 90dB.

Na obr. 34 až obr. 37 jsou uvedena další naměřená spektra výstupního signálu, a to při frekvencích 10MHz, 40MHz, 80MHz a 100MHz.

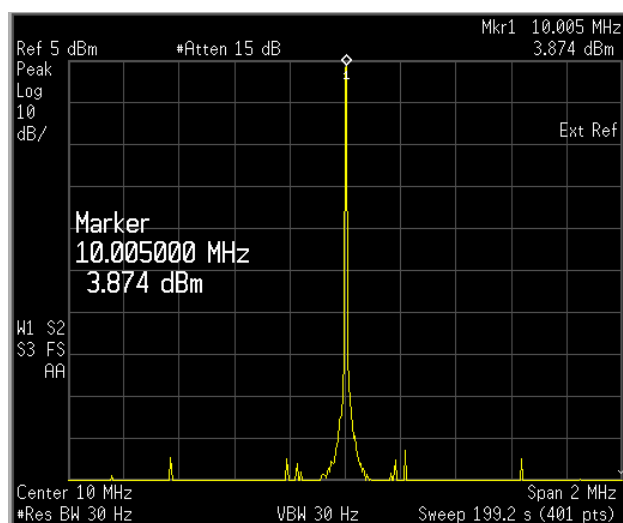
U frekvence 10MHz jsou všechny nežádoucí složky ve sledovaném pásmu potlačeny o více jak 90dB. U vyšších frekvencí je patrný nárůst úrovně šumu a hodnota potlačení je již menší než 90dB.



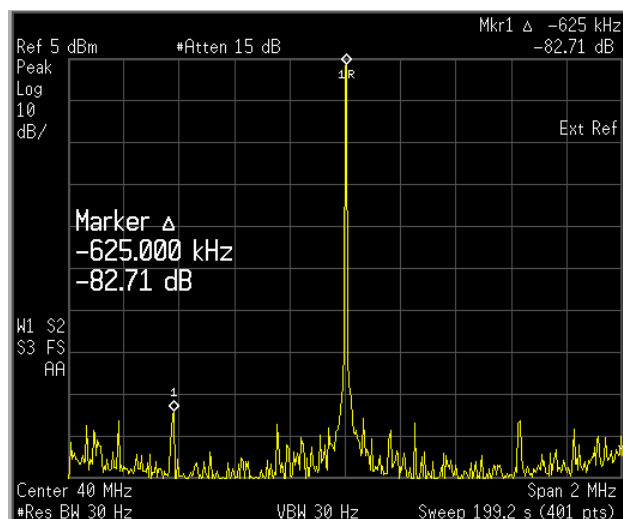
Obr. 32. Spektrum výstupního signálu 100MHz při hodinové frekvenci 400MHz – WB



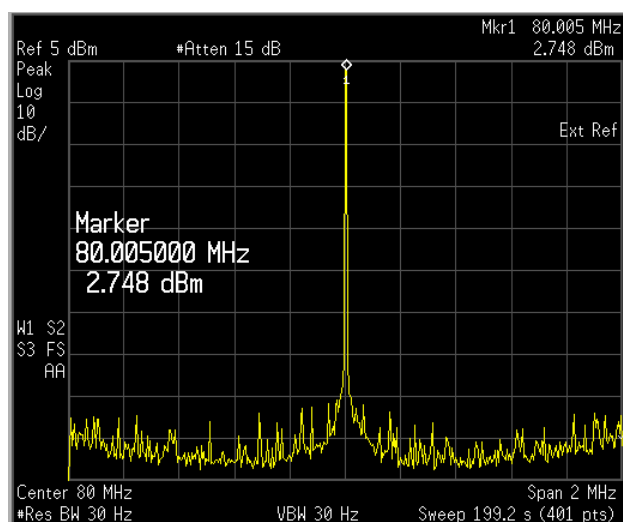
Obr. 33. Spektrum výstupního signálu 1MHz při hodinové frekvenci 400MHz – NB



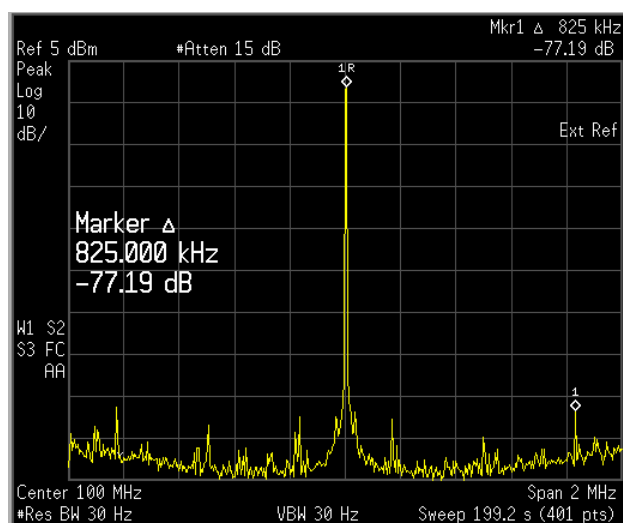
Obr. 34. Spektrum výstupního signálu 10MHz při hodinové frekvenci 400MHz –NB



Obr. 35. Spektrum výstupního signálu 40MHz při hodinové frekvenci 400MHz – NB

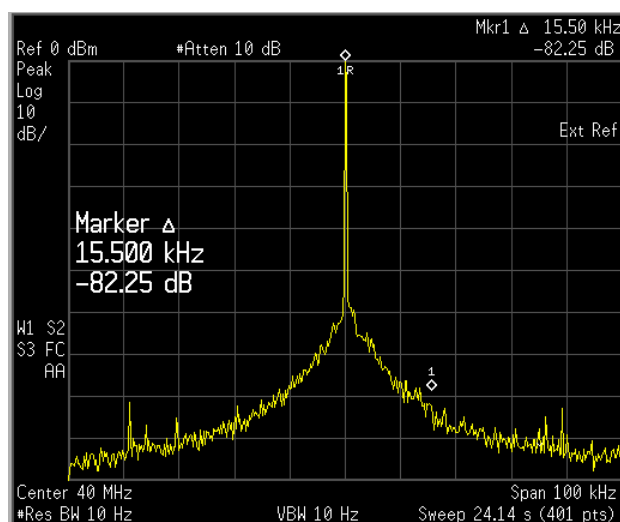


Obr. 36. Spektrum výstupního signálu 80MHz při hodinové frekvenci 400MHz – NB

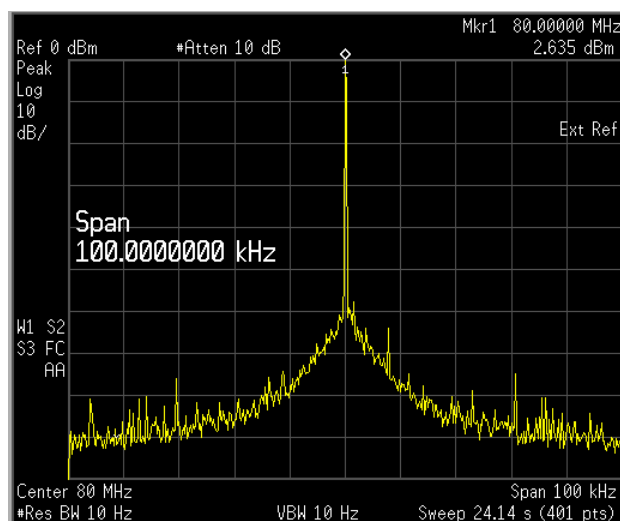


Obr. 37. Spektrum výstupního signálu 100MHz při hodinové frekvenci 400MHz – NB

Dále bylo u frekvencí 40MHz, 80MHz a 100MHz provedeno měření fázového šumu signálu v okolí 50kHz od nosné. I při těchto měřeních bylo pomocí zdvojovače frekvence dosaženo maximální hodinové frekvence obvodu 400MHz. Naměřená spektra signálu jsou uvedena na obr. 38, obr. 39 a obr. 40. V těchto případech je použit nejužší možný filtr analyzátoru 10Hz. Pro získání hodnoty šumu normalizované na 1Hz je nutné provést přepočít podle [23], v důsledku čehož získáme hodnoty asi o 10dB nižší. V případě frekvence 40MHz se tak při offsetu 50kHz dostaneme k hodnotě kolem 105dBc/Hz. Podobné výsledky byly dosaženy i při frekvenci 100MHz, u frekvence 80MHz je tato hodnota několik dB vyšší.

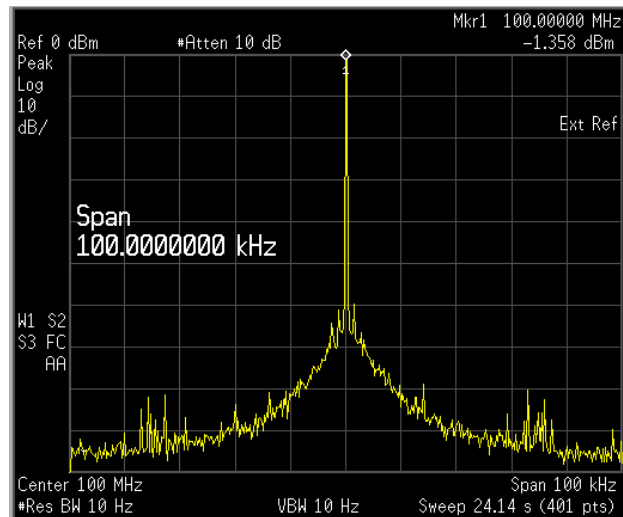


Obr. 38. Spektrum výstupního signálu 40MHz v rozsahu  $\pm 50$ kHz okolo nosné

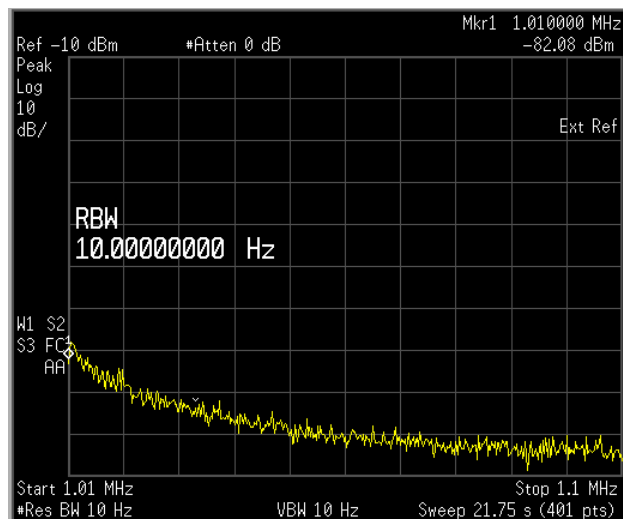


Obr. 39. Spektrum výstupního signálu 80MHz v rozsahu  $\pm 50$ kHz okolo nosné

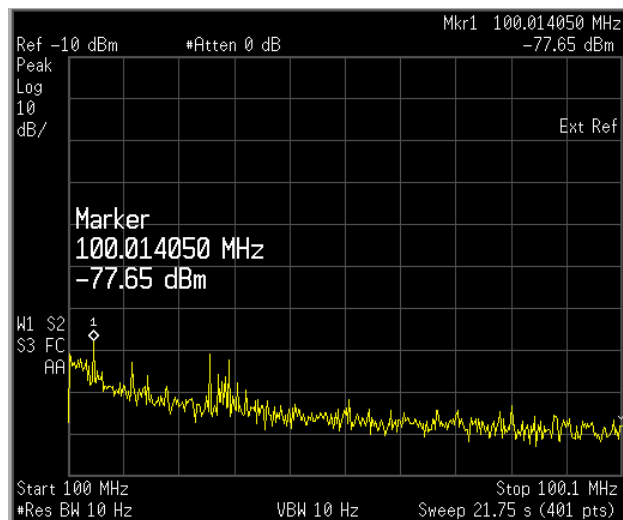
Na obr. 41 a obr. 42 jsou zaznamenána spektra signálu s frekvencí 1MHz a 100MHz v oblasti 10kHz až 100kHz nad nosnou při snížené referenční úrovni a vypnutém vnitřním zeslabovači analyzátoru. Při porovnání spekter signálu 100MHz je patrné, že vliv uvedené změny nastavení analyzátoru na hodnotu šumu v dané oblasti je minimální.



Obr. 40. Spektrum výstupního signálu 100MHz v rozsahu  $\pm 50$ kHz okolo nosné



Obr. 41. Šum v postranním pásmu nad generovanou frekvencí 1MHz



Obr. 42. Šum v postranním pásmu nad generovanou frekvencí 100MHz

## 6 ZÁVĚR

Frekvenční syntéza je v současné době nedílnou součástí mnoha aplikací v komunikační technice, měřicí technice i spotřební elektronice. K jejímu rychlému rozšíření v praktických aplikacích, mimo jiné také přispěl velký pokrok v technologii výroby integrovaných obvodů, který umožňuje poměrně rychlou a jednoduchou realizaci syntezátorů pro nejrůznější použití. Jednou z firem, která nabízí v této oblasti širokou paletu obvodů je například Analog Devices. Na jejich webových stránkách jsou volně k dispozici simulační programy, pomocí kterých lze provést návrh a simulace chování syntezátorů využívajících tyto obvody.

V práci jsou shrnuty základní poznatky z teorie frekvenční syntézy, a to obou nejčastěji využívaných principů, tedy syntézy využívající smyčku fázového závěsu i přímou číslicovou syntézu. U jednotlivých variant jsou zmíněny důsledky různých typů parazitních modulací, které vznikají při generování požadovaných signálů.

U přímé číslicové syntézy je pak podrobněji rozebrán matematický model modulo- $N$  a vznik nežádoucích signálů v důsledku omezení délky řídicího slova. Dále jsou zde také uvedeny hlavní vlastnosti D/A převodníků, které slouží k transformaci digitálního signálu na analogový.

V druhé části práce je popsán konkrétní návrh a realizace frekvenčního syntezátoru s obvodem AD9951, který je řízen mikrokontrolérem ATmega8. V uvedeném zapojení je modul DDS doplněn rekonstrukčním filtrem s mezní frekvencí 100MHz a dvoustupňovým zesilovačem s tranzistorem BFG135. Jako referenční frekvence slouží externí signál s frekvencí 10MHz. Aby mohla být dosažena maximální hodinová frekvence obvodu 400MHz, je součástí zapojení tranzistorový zdvojnásobovač frekvence, který spolu s vnitřním fázovým závěsem obvodu DDS zajistí celkové zvýšení externí reference 40x.

Zapojení je také doplněno obvodem pro komunikační rozhraní RS-232, které umožňuje ovládat syntezátor pomocí počítače. Jako ovládací program byla zvolena aplikace Hypertermínál, která je součástí operačního systému Windows. Komunikaci mezi počítačem a syntezátorem pak zajišťuje mikrokontrolér ATmega8 se softwarem, který byl napsán v jazyce C v programovém prostředí CodeWizardAVR V2.04.0a Standard a skládá se ze dvou souborů.

Po hardwarové i softwarové realizaci syntezátoru bylo provedeno měření vlastností výstupního signálu, přičemž hlavní pozornost byla věnována spektrální čistotě signálu. Konkrétní naměřené hodnoty při různých generovaných frekvencích a v různých frekvenčních oblastech pozorování jsou uvedeny v kapitole 5.3.

V případě úzkopásmového měření odpovídají naměřené hodnoty přibližně specifikacím výrobce, kdy potlačení nežádoucích signálů se obvykle pohybuje mezi 80dBc až 90dBc. U frekvence 40MHz uvádí výrobce obvodu potlačení parazitních složek 87dBc při offsetu  $\pm 1$ MHz a se zmenšujícím se offsetem tato hodnota mírně roste. Nejvýznamnější naměřená složka v této oblasti měla potlačení asi 83dBc. Podle vztahů, které byly převzaty z [1] a [2], byla úroveň těchto složek pro 14 bitový převodník odhadnuta na přibližně 84dBc. Obdobné hodnoty byly naměřeny také u signálu s výstupní frekvencí 80MHz. Při maximální uvažované frekvenci 100MHz byla naměřená hodnota potlačení o několik dB nižší.

Měřením v širším frekvenčním pásmu však byly získány hodnoty potlačení výrazně nižší a to především u harmonických složek signálu. Potlačení druhé harmonické se obvykle pohybuje v rozmezí 40dBc až 50dBc a u třetí harmonické je to přibližně o 10dB více. Tyto

menší hodnoty potlačení však byly zaznamenány i při simulacích v programovém prostředí LabWiev, kdy potlačení druhé harmonické, která není ovlivňována výstupním filtrem, se obvykle pohybuje na úrovni 50dBc. Dle vztahu (12) byla u třetí harmonické odhadována úroveň potlačení 64dBc. Jednou z pravděpodobných příčin snížení hodnot potlačení nežádoucích parazitních složek signálu je doplnění zapojení obvodu o další pomocné bloky, které se podílejí na konečném zpracování výstupního signálu, jako je například tranzistorový zesilovač.

Protože zapojení využívá vnitřní fázový závěs z důvodu dosažení vyšší hodinové frekvence obvodu, konkrétně násobitel s hodnotou 20x, je nutné také počítat se zvýšením fázového šumu až o 27dB ve srovnání s případem, kdy není tento závěs využit. U hodnoty 40MHz při offsetu 1kHz uvádí výrobce při využití násobitele 20x fázový šum  $-105\text{dBc/Hz}$ . Tato hodnota je však s použitým analyzátozem obtížně měřitelná, protože jeho vlastní šum dosahuje srovnatelných hodnot. Uvedená hodnota fázového šumu byla při praktických měřeních zjištěna u frekvence 40MHz při offsetu přibližně 50kHz.

# LITERATURA

- [1] KROUPA, V. F. *Direct Digital Frequency Synthesizers*. Piscataway: IEEE Press, 1999.
- [2] KASAL, M. *Frekvenční syntéza v komunikačních systémech experimentální družice*. Vědecké spisy VUT v Brně, sv. 169. Brno: VUT v Brně: 2005.
- [3] KROUPA, V. F. , ŠTURSA, J. *Číslicové kmitočtové syntezátory*. Slaboproudý obzor č. 2-3, str. P2 – P12, 2001.
- [4] Firemní literatura Analog Devices: *A Technical Tutorial on Digital Signal Synthesis*. Dostupné na: [www.analog.com](http://www.analog.com)
- [5] HANUS, S., SVAČINA, J., *Vysokofrekvenční a mikrovlnná technika*. Elektronické texty FEKT VUT Brno, Brno, 2002.
- [6] AD9951 – *400 MSPS 14-Bit, 1.8 V CMOS Direct Digital Synthesizer*. Data sheet. Dostupné na: [www.analog.com](http://www.analog.com)
- [7] HÁJEK, K., SEDLÁČEK, J., *Kmitočtové filtry*. Praha: BEN – technická literatura, 2002.
- [8] Firemní literatura Analog Devices: *AN-837 - DDS-Based Clock Jitter Performance vs. DAC Reconstruction Filter Performance*. Dostupné na: [www.analog.com](http://www.analog.com)
- [9] VALÚCH, D., DRESLER, T. *Vf generátor s priamym číslicovým syntezátorom*. Praktická elektronika č. 2, str. 22 – 24, 2006.
- [10] BFG135 – *NPN 7GHz wideband transistor*. Data sheet. Dostupné na: [www.datasheetcatalog.com](http://www.datasheetcatalog.com)
- [11] FM-107 – *Broadband Frequency Doubler, 10 - 4800 MHz Output*. Data sheet. Dostupné na: [www.macom.com](http://www.macom.com)
- [12] 2N2219 – *NPN switching transistor*. Data sheet. Dostupné na: [www.datasheetcatalog.com](http://www.datasheetcatalog.com)
- [13] ATmega8 – *8-bit AVR with 8K Bytes In-System Programmable Flash*. Data sheet. Dostupné na: [www.atmel.com](http://www.atmel.com)
- [14] MAX232E – *±15kV ESD-Protected, +5V RS-232 Transceivers*. Data sheet. Dostupné na: [www.maxim-ic.com](http://www.maxim-ic.com)
- [15] L7800AB/AC series – *Precision 1A Regulators*. Data sheet. Dostupné na: [www.st.com](http://www.st.com)
- [16] LM317 – *1.5 A Adjustable Output Positive Voltage Regulator*. Data sheet. Dostupné na: [www.onsemi.com](http://www.onsemi.com)
- [17] ZÁHLAVA, V., *Návrh a konstrukce plošných spojů*. Praha: Česká technika – nakladatelství ČVUT, 2005.
- [18] ŠANDERA, J., *Návrh plošných spojů pro povrchovou montáž*. Praha: BEN – technická literatura, 2006.
- [19] PLÍVA, Z., *EAGLE prakticky – řešení problémů při praktické práci*. Praha: BEN – technická literatura, 2007.
- [20] MANN, B., *C pro mikrokontroléry – ANSI-C, kompilátory C, spojovací programy – linkery, práce s ATMEL AVR a MSC-51, příklady programování v jazyce C, nástroje pro programování, tipy a triky,...* Praha: BEN – technická literatura, 2003.
- [21] VÁŇA, V., *Mikrokontroléry ATMEL AVR – programování v jazyce C – Popis a práce ve vývojovém prostředí CodeVisionAVR C*. Praha: BEN – technická literatura, 2003.
- [22] HEROUT, P., *Učebnice jazyka C*. České Budějovice: Nakladatelství KOPP, 2003.
- [23] Firemní literatura Agilent: *AN-150 - Spectrum Analysis Basics* Dostupné na: [www.agilent.com/find/spectrumanalyzers](http://www.agilent.com/find/spectrumanalyzers)



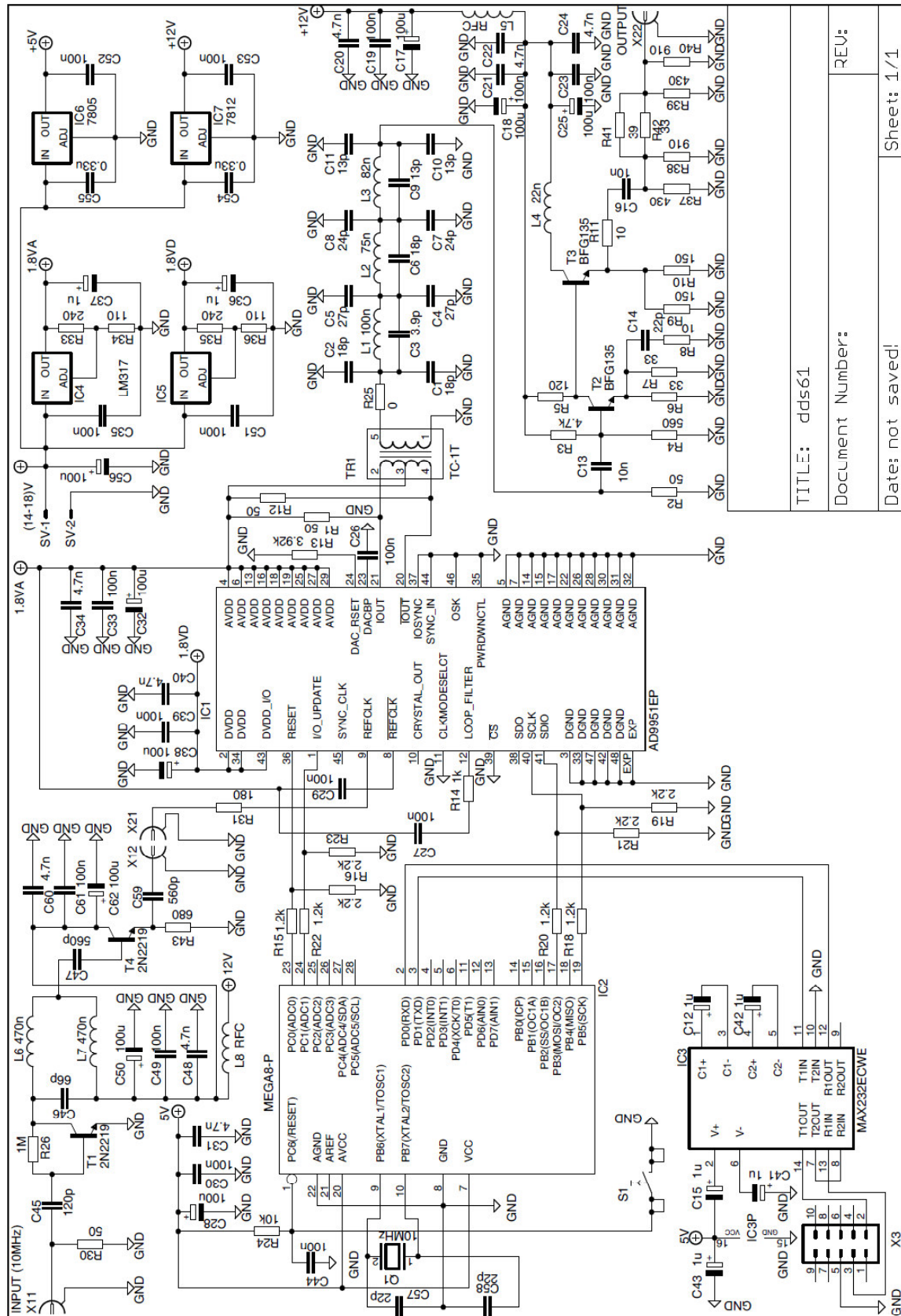
# SEZNAM ZKRATEK

A/D, D/A	Analog to Digital Converter/Digital to Analog Converter
ASCII	American Standard Code for Information Interchange
BNC	Bayonet Neill-Concelman
DDFS, DDS	Direct Digital Frequency Synthesis
DNL	Differential Nonlinearity
EEPROM	Electrically Erasable Programmable Read-Only Memory
EMC	Electromagnetic Compatibility
GPS	Global Positioning System
INL	Integral Nonlinearity
LPF	Low Pass Filter
LSB	Least Significant Bit
MSB	Most Significant Bit
NB	Narrow Band
PDIP	Plastic Dual in Line
PDF	Phase Frequency Detector
PLL	Phase Lock Loop
RMS	Root Mean Square
ROM	Read-Only Memory
SCLK	Serial Data Clock
SDIO	Serial Data Input Output
SDO	Serial Data Output
SFDR	Spurious Free Dynamic Range
SMD	Surface Mount Device
SMT	Surface Mount Technology
SNR	Signal to Noise Ratio
SOT	Small Outline Transistor
SRAM	Static Random Access Memory
SSB	Single Side Band
TTL	Transistor-Transistor-Logic
VCO	Voltage Controlled Oscillator
WB	Wide Band

# SEZNAM PŘÍLOH

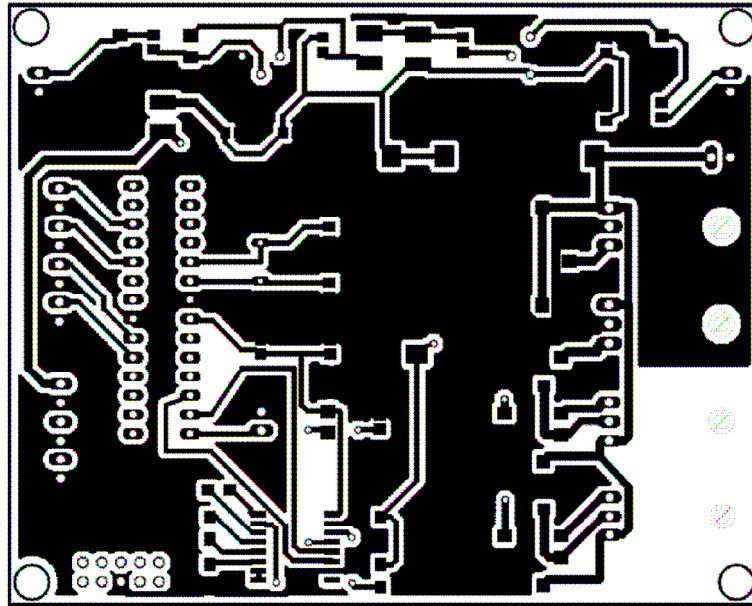
A. Celkové obvodové schéma zapojení navrženého syntezátoru.....	42
B. Plošné spoje navrženého syntezátoru.....	43
C. Rozpiska součástek.....	46
D. Zdrojový text řídicího programu.....	48

# A. Celkové obvodové schéma zapojení navrženého syntezátoru

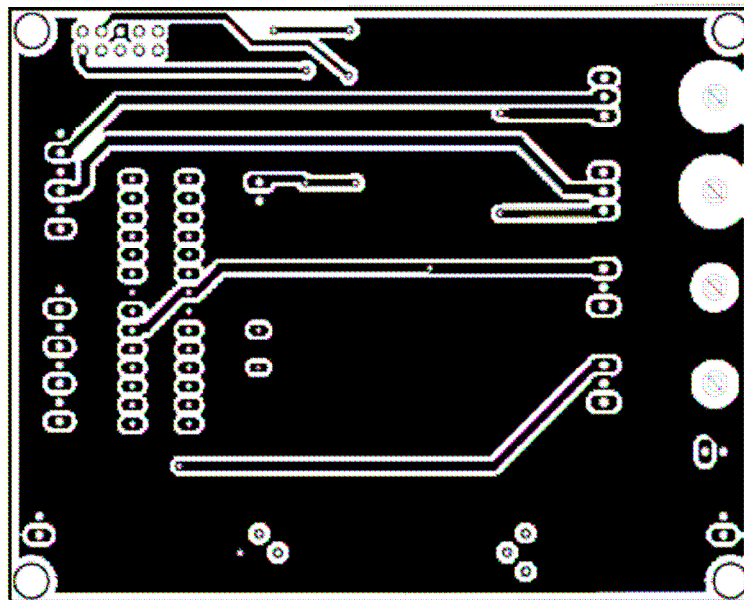


Obř. 43. Obvodové schéma syntezátoru s obvodem AD9951

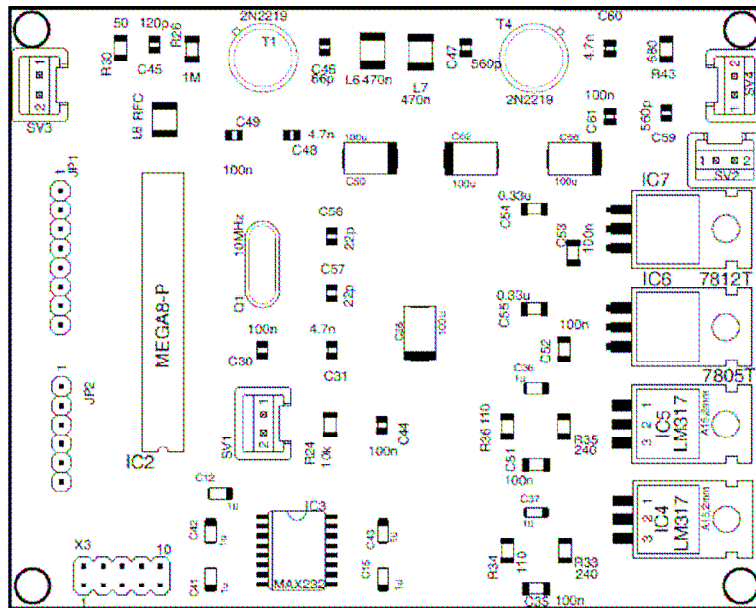
## B. Plošné spoje navrženého syntezátoru



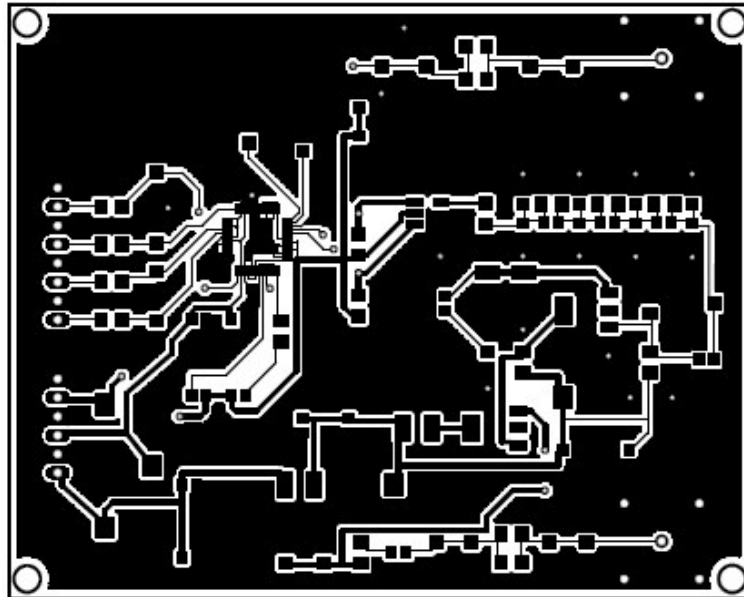
Obr. 44. Deska plošných spojů – řídicí modul – strana součástek, rozměr (100x80) mm



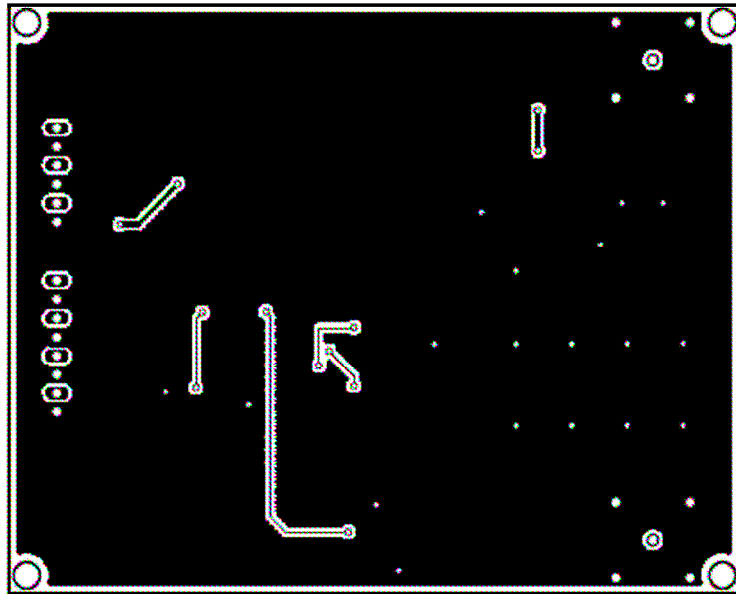
Obr. 45. Deska plošných spojů – řídicí modul – strana spojů



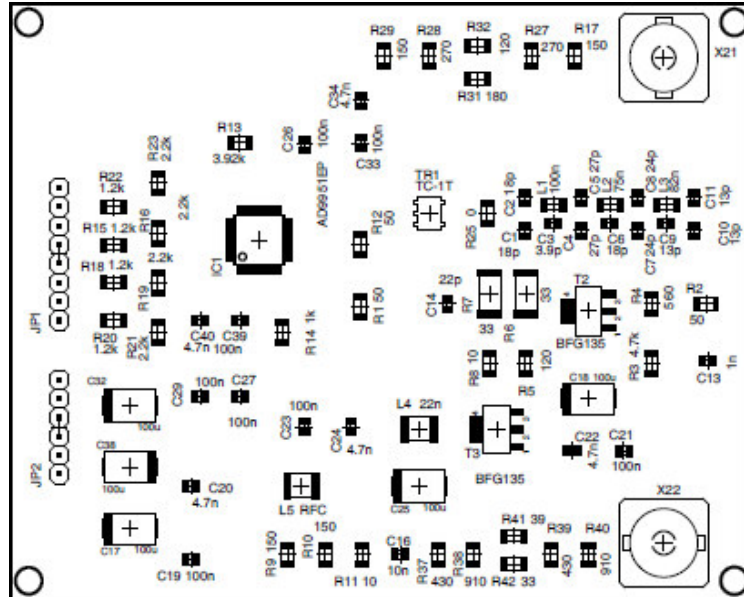
Obr. 46. Rozmístění součástek na desce plošných spojů – řídicí modul



Obr. 47. Deska plošných spojů – DDS modul – strana součástek, rozměr (100x80) mm



Obr. 48. Deska plošných spojů – DDS modul – strana spojů



Obr. 49. Rozmístění součástek na desce plošných spojů – DDS modul

## C. Rozpiska součástek

Označení	Hodnota	Popis	Označení	Hodnota	Popis
R1	50	1206	C2	18p	0805
R2	50	1206	C3	3,9p	0805
R3	4,7k	1206	C4	27p	0805
R4	560	1206	C5	27p	0805
R5	120	1206	C6	18p	0805
R6	33	2512	C7	24p	0805
R7	33	2512	C8	24p	0805
R8	10	1206	C9	13p	0805
R9	150	1206	C10	13p	0805
R10	150	1206	C11	13p	0805
R11	10	1206	C12	1 $\mu$ /10V	Tantal, velikost A
R12	50	1206	C13	10n	0805
R13	3,92k	1206	C14	22p	0805
R14	1k	1206	C15	1 $\mu$ /10V	Tantal, velikost A
R15	1,2k	1206	C16	10n	0805
R16	2,2k	1206	C17	100 $\mu$ /25V	Tantal, velikost E
R17	150	1206	C18	100 $\mu$ /25V	Tantal, velikost E
R18	1,2k	1206	C19	100n	0805
R19	2,2k	1206	C20	4,7n	0805
R20	1,2k	1206	C21	100n	0805
R21	2,2k	1206	C22	4,7n	0805
R22	1,2k	1206	C23	100n	0805
R23	2,2k	1206	C24	4,7n	0805
R24	10k	1206	C25	100 $\mu$ /25V	Tantal, velikost E
R25	0	1206	C26	100n	0805
R26	1M	1206	C27	100n	0805
R27	270	1206	C28	100 $\mu$ /25V	Tantal, velikost E
R28	270	1206	C29	100n	0805
R29	150	1206	C30	100n	0805
R30	50	1206	C31	4,7n	0805
R31	180	1206	C32	100 $\mu$ /25V	Tantal, velikost E
R32	120	1206	C33	100n	0805
R33	240	1206	C34	4,7n	0805
R34	110	1206	C35	100n	1206
R35	240	1206	C36	1 $\mu$ /10V	Tantal, velikost A
R36	110	1206	C37	1 $\mu$ /10V	Tantal, velikost A
R37	430	1206	C38	100 $\mu$ /25V	Tantal, velikost E
R38	910	1206	C39	100n	0805
R39	430	1206	C40	4,7n	0805
R40	910	1206	C41	1 $\mu$ /10V	Tantal, velikost A
R41	39	1206	C42	1 $\mu$ /10V	Tantal, velikost A
R42	33	1206	C43	1 $\mu$ /10V	Tantal, velikost A
R43	680	1206	C44	100n	0805
C1	18p	0805	C45	120p	0805

Označení	Hodnota	Popis
C46	66p	0805
C47	560p	0805
C48	4,7n	0805
C49	100n	0805
C50	100 $\mu$ /25V	Tantal, velikost E
C51	100n	1206
C52	100n	1206
C53	100n	1206
C54	0,33u	1206
C55	0,33u	1206
C56	100 $\mu$ /25V	Tantal, velikost E
C57	22p	0805
C58	22p	0805
C59	560p	0805
C60	4,7n	0805
C61	100n	0805
C62	100 $\mu$ /25V	Tantal, velikost E
L1	100n	1206
L2	75n	1206
L3	82n	1206
L4	22n	4 závity, $\varnothing$ 3mm, drát 0,5mm
L5	RFC	1812, 0,25A
L6	470n	1812
L7	470n	1812
L8	RFC	1812, 0,25A
IC1	AD9951EP	QFP48
IC2	ATMEGA8-P	DIL28
IC3	MAX232ECWE	SO16
IC4	LM317	TO220
IC5	LM317	TO220
IC6	7805	TO220
IC7	7812	TO220
T1	2N2219	TO5
T2	BFG135	SOT223
T3	BFG135	SOT223
T4	2N2219	TO5
TR1	TC1-1T	50 $\Omega$ , poměr 1:1
S1		Tlačítko
X11		BNC konektor
X12		BNC konektor
X21		BNC konektor
X22		BNC konektor
X3		Konektor (Canon 9)



## D. Zdrojový text řídicího programu

### Obsah souboru dds.c

```
/*
This program was produced by the
CodeWizardAVR V2.04.0a Standard

Project : LMSE-80482
Version :
Date    : 2.4.2009
Author  : Josef Svoboda
Company :
Comments:

Chip type           : ATmega8
Program type        : Application
AVR Core Clock frequency: 10,000000 MHz
Memory model        : Small
External RAM size   : 0
Data Stack size     : 256
*/

#include <mega8.h>
// Standard Input/Output functions
#include <stdio.h>
// Retezcove funkce
#include <string.h>
// Znakove funkce
#include <ctype.h>
// Zpozovací funkce
#include <delay.h>
// Funkce prevodu string <> number
#include <stdlib.h>
// Matematicke funkce
#include <math.h>

// Declare your global variables here
flash unsigned char oddelovac=32; //Definice oddelovace v prikazove radce
flash unsigned char cmd_help[10]="help\0";
flash unsigned char cmd_freq[10]="freq\0";
flash unsigned char format[41]="Nastavena frekvence:%s MHz\n\r\0";
flash float freq_const = 2.147483648e7F;

// Specialni funkce pro DDS
#include "dds_lib.c"

void main(void)
{
// Declare your local variables here
unsigned char c; //Znak prijaty z UARTu
unsigned char radek[65]; //Prikazovy radek
unsigned int i=0; //Pocitadlo znaku prijatych z UARTu
unsigned char *ptr_command[10]; //Prikaz z prikazoveho radku
unsigned char *ptr_param1[10]; //1. parametr
unsigned char *ptr_param2[10]; //2. parametr
unsigned long int freq=0; //Vypocitane frekvencni slovo
unsigned char sfreq[20];
```

```

// Input/Output Ports initialization
// Port B initialization
PORTB=0x00;
DDRB=0x2C;
PORTB.5 = 0; //Hodiny SCLK
PORTB.3 = 0; //Data SDIO

// Port C initialization
PORTC=0x00;
DDRC=0x03;
PORTC=0x0; //RESET na 1 a IO_UPDATE na 0

// Port D initialization
PORTD=0x00;
DDRD=0x00;

// Timer/Counter 0 initialization
// Clock source: System Clock
// Clock value: Timer 0 Stopped
TCCR0=0x00;
TCNT0=0x00;

// Timer/Counter 1 initialization
// Clock source: System Clock
// Clock value: Timer 1 Stopped
// Mode: Normal top=FFFFh
// OC1A output: Discon.
// OC1B output: Discon.
// Noise Canceler: Off
// Input Capture on Falling Edge
// Timer 1 Overflow Interrupt: Off
// Input Capture Interrupt: Off
// Compare A Match Interrupt: Off
// Compare B Match Interrupt: Off
TCCR1A=0x00;
TCCR1B=0x00;
TCNT1H=0x00;
TCNT1L=0x00;
ICR1H=0x00;
ICR1L=0x00;
OCR1AH=0x00;
OCR1AL=0x00;
OCR1BH=0x00;
OCR1BL=0x00;

// Timer/Counter 2 initialization
// Clock source: System Clock
// Clock value: Timer 2 Stopped
// Mode: Normal top=FFh
// OC2 output: Disconnected
ASSR=0x00;
TCCR2=0x00;
TCNT2=0x00;
OCR2=0x00;

// External Interrupt(s) initialization
// INT0: Off
// INT1: Off
MCUCR=0x00;

```

```

// Timer(s)/Counter(s) Interrupt(s) initialization
TIMSK=0x00;

// USART initialization
// Communication Parameters: 8 Data, 1 Stop, No Parity
// USART Receiver: On
// USART Transmitter: On
// USART Mode: Asynchronous
// USART Baud Rate: 9600
UCSRA=0x00;
UCSRB=0x18;
UCSRC=0x86;
UBRRH=0x00;
UBRRL=0x40;

// Analog Comparator initialization
// Analog Comparator: Off
// Analog Comparator Input Capture by Timer/Counter 1: Off
ACSR=0x80;
SFIOR=0x00;

// SPI initialization
// SPI Type: Master
// SPI Clock Rate: 78,125 kHz
// SPI Clock Phase: Cycle Start
// SPI Clock Polarity: High
// SPI Data Order: MSB First
//SPCR=0x5F;
//SPCR=0x57;
//SPCR=0x53;
//SPCR=0x00;
//SPSR=0x00;

//Predstaveni se a prompt
printf("\n\r");
printf("Ovladani DDS AD9951EP pres seriovy port RS232\n\r");
printf("\n\r");
printf(">");

//Inicializace nekterych promennych
c = '';
i = 0;
radek[0] = '\0';
*sfreq = '\0';

dds_reset(); //Inicializaci DDS
delay_ms(10);
setting_reg1();
write2reg();
write_tuning_word(0x0147AE14);
write2reg();

while (1) //Cteni znaku z UARTu
{
c = getchar();
putchar(c);
if ((i > 63) || (c=='\n')){
printf("\n\r");
//Dekodovani zadaneho prikazu
*ptr_command = strtok(radek, &oddelovac);
*ptr_param1 = strtok(NULL, &oddelovac);
}
}

```

```

*ptr_param2 = strtok(NULL,&oddelovac);
if(strcmpf(*ptr_command,cmd_help)==0) help();
if(strcmpf(*ptr_command,cmd_freq)==0){
    freq = (atof(*ptr_param1)*freq_const);
    //freq = atof(*ptr_param1);
    //freq = atol(*ptr_param1);
    //ltoa(freq,sfreq);
    ftoa((freq/freq_const),9,sfreq);
    printf(format,sfreq);
    write_tuning_word(freq);
    write2reg();
}
printf("\n\r");
printf(">");
i = 0;
c = ' ';
radek[0] = '\0';
}
else{
    if ((c!='\n')&&(c!='\r')) radek[i] = tolower(c);
    i++;
    radek[i] = '\0';
}
};
}

```

## Obsah souboru dds\_lib.c

```
//Knihovna funkci pro praci s DDS AD9951EP
```

```

void help(void) {
    printf("Napoveda pro ovladani DDS:\n\r");
    printf("help      - Tato napoveda\n\r");
    printf("freq num [MHz] - Nastaveni frekvence v MHz\n\r");
    printf("\n\r");
}

void dds_reset(void) {
    PORTC.0=1;           //RESET DDS
    delay_ms(5);
    PORTC.0=0;
}

void write2reg(void) {
    PORTC.1=1;           //Zapis do registru
    delay_ms(5);
    PORTC.1=0;           //Ukonceni zapisu do registru
}

void write_tuning_word(unsigned long int freq){
    unsigned char instr=0;
    unsigned long int freq_work=0;
    int i=0;

    for(i=0; i<8; i++){
        instr=0x04;
        PORTB.3 = ((instr >> (7-i)) & 1 );
        delay_ms(1);
        PORTB.5 = 1;
        delay_ms(1);
        PORTB.5 = 0;
    }
}

```

```

    }
    PORTB.3 = 0;
    for(i=0; i<32; i++){
        freq_work=freq;
        PORTB.3 = ((freq_work >> (31-i)) & 1 );
        delay_ms(1);
        PORTB.5 = 1;
        delay_ms(1);
        PORTB.5 = 0;
    }
    PORTB.3 = 0;
    return;
}

void setting_reg1(void) {
    //Funkce pro nastaveni nasobice na 20x
    unsigned char instr=0;
    unsigned int data=0;
    int i=0;

    //Posilam instrukcni byte
    for(i=0; i<8; i++){
        instr=0x01;
        PORTB.3 = ((instr >> (7-i)) & 1 );
        delay_ms(1);
        PORTB.5 = 1;
        delay_ms(1);
        PORTB.5 = 0;
    }
    PORTB.3 = 0;
    //Odeslani prvnich 16 bitu;
    for(i=0; i<16; i++){
        data=0x0000;
        PORTB.3 = ((data >> (15-i)) & 1 );
        delay_ms(1);
        PORTB.5 = 1;
        delay_ms(1);
        PORTB.5 = 0;
    }
    //Odeslani hodnoty nasobice - 8 bitu
    for(i=0; i<8; i++){
        data=0xA6;
        PORTB.3 = ((data >> (7-i)) & 1 );
        delay_ms(1);
        PORTB.5 = 1;
        delay_ms(1);
        PORTB.5 = 0;
    }
    PORTB.3 = 0;
    return;
}

```